

PCT

 世界知的所有権機関
 国際事務局
 特許協力条約に基づいて公開された国際出願


(51) 国際特許分類6 H04N 5/335	A1	(11) 国際公開番号 WO97/07630												
		(43) 国際公開日 1997年2月27日 (27.02.97)												
<p>(21) 国際出願番号 PCT/JP96/02281</p> <p>(22) 国際出願日 1996年8月12日 (12.08.96)</p> <p>(30) 優先権データ</p> <table> <tr> <td>特願平7/206140</td> <td>1995年8月11日 (11.08.95)</td> <td>JP</td> </tr> <tr> <td>特願平7/206143</td> <td>1995年8月11日 (11.08.95)</td> <td>JP</td> </tr> <tr> <td>特願平8/53220</td> <td>1996年3月11日 (11.03.96)</td> <td>JP</td> </tr> <tr> <td>特願平8/59845</td> <td>1996年3月15日 (15.03.96)</td> <td>JP</td> </tr> </table> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP] 〒210 神奈川県川崎市幸区堀川町72番地 Kanagawa, (JP)</p> <p>(72) 発明者: および</p> <p>(75) 発明者/出願人 (米国についてのみ) 松長誠之 (MATSUMUNAGA, Yoshiyuki) [JP/JP] 〒247 神奈川県鎌倉市小袋谷1-4-21-212 Kanagawa, (JP)</p> <p>大澤慎治 (OHSAWA, Shinji) [JP/JP] 〒243-04 神奈川県海老名市国分北1-21-24-204 Kanagawa, (JP)</p> <p>中村信男 (NAKAMURA, Nobuo) [JP/JP] 〒183 東京都府中市東芝町2-1-E620 Tokyo, (JP)</p>			特願平7/206140	1995年8月11日 (11.08.95)	JP	特願平7/206143	1995年8月11日 (11.08.95)	JP	特願平8/53220	1996年3月11日 (11.03.96)	JP	特願平8/59845	1996年3月15日 (15.03.96)	JP
特願平7/206140	1995年8月11日 (11.08.95)	JP												
特願平7/206143	1995年8月11日 (11.08.95)	JP												
特願平8/53220	1996年3月11日 (11.03.96)	JP												
特願平8/59845	1996年3月15日 (15.03.96)	JP												
<p>山下浩史 (YAMASHITA, Hirofumi) [JP/JP] 〒146 東京都大田区東矢口1-5-22 Tokyo, (JP)</p> <p>三浦浩樹 (MIURA, Hiroki) [JP/JP] 〒235 神奈川県横浜市磯子区汐見台2-8-2 Kanagawa, (JP)</p> <p>田中長孝 (TANAKA, Nagataka) [JP/JP] 〒224 神奈川県横浜市都筑区仲町台4-19-18-409 Kanagawa, (JP)</p> <p>馬淵圭司 (MABUCHI, Keiji) [JP/JP] 〒211 神奈川県川崎市幸区南加瀬2-14-10 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 鈴江武彦, 外 (SUZUYE, Takchiko et al.) 〒100 東京都千代田区霞が関3丁目7番2号 鈴江内外國特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 JP, KR, US, 欧州特許 (DE, FI, FR, NL).</p> <p>添付公開書類 国際調査報告書</p>														
<p>(54) Title: MOS IMAGE PICKUP DEVICE</p> <p>(54) 発明の名称 MOS型固体撮像装置</p> <p>(57) Abstract</p> <p>A MOS image pickup device in which unit cells are arranged two-dimensionally in a matrix, a horizontal line (column) of unit cells is selected by means of a vertical address circuit, a vertical signal line to which the outputs of one vertical line (row) of unit cells are fed by means of a horizontal address circuit, and the signals of the unit cells are sequentially outputted. Each unit cell is provided with an output circuit which outputs the output of a photodiode to a vertical signal line, a plurality of photodiodes connected in parallel with the output circuit, and selection switch which selects one of the photodiodes and connects the selected photodiode to the output circuit. The output circuit is composed of an amplifying transistor which amplifies the outputs of the photodiodes, a selection transistor which selects one of the unit cells, and a reset transistor which resets the electric charge of the photodiodes.</p>														

(57) 要約

多数の単位セルが2次元マトリクス状に配列され、垂直アドレス回路により1水平ライン(行)の単位セルを選択し、1垂直ライン(列)の単位セルの出力が供給される垂直信号線を水平アドレス回路により選択することにより、各単位セルの信号を順次出力するMOS型固体撮像装置において、単位セルは、フォトダイオードの出力を垂直信号線へ出力する出力回路と、出力回路に対して並列に接続される複数のフォトダイオードと、これらのフォトダイオードのいずれかを選択して、出力回路へ接続する選択スイッチとを具備し、出力回路はフォトダイオードの出力を増幅する増幅トランジスタと、単位セルを選択する選択トランジスタと、フォトダイオードの電荷をリセットするリセットトランジスタからなる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	ES	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	FI	フィンランド	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FR	フランス	LS	リトアニア	SD	スードアン
BA	ボスニア・ヘルツェゴビナ	GA	ガボン	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GB	イギリス	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SI	スロベニア
BG	ブルガリア	GN	ギニア	MC	モナコ	SK	スロヴァキア
BR	ベナン	GR	ギリシャ	MD	モルドバ共和国	SN	セネガル
BR	ブラジル	HU	ハンガリー	MG	マダガスカル	SZ	スワジランド
BY	ベラルーシ	IE	アイルランド	MK	マケドニア旧ユーゴスラ	TD	チャド
CA	カナダ	IL	イスラエル	ML	マリア共和国	TG	トーゴ
CF	中央アフリカ共和国	IT	イタリア	MN	モンゴル	TJ	タジキスタン
CG	コンゴ	JP	日本	MR	モーリタニア	TM	トルコミニスタン
CH	スイス	KE	ケニア	MW	マラウイ	TR	トリニダード・トバゴ
CI	コート・ジボアール	KG	キルギスタン	MX	メキシコ	TT	トリニティ・トバゴ
CM	カメルーン	KP	朝鮮民主主義人民共和国	NE	ニジェール	UA	ウクライナ
CN	中国	KR	大韓民国	NL	オランダ	UG	ウガンダ
CU	キューバ	KZ	カザフスタン	NO	ノールウェー	US	アメリカ合衆国
CZ	チェコ共和国			NZ	ニュージーランド	VN	ベネズエラ

明細書
MOS型固体撮像装置

技術分野

5 本発明は、信号電荷をセル内で増幅する増幅型MOSセンサを用いた固体撮像装置に関する。

背景技術

近年、ビデオカメラの小型化や、高画素数のハイビジョン用の固体撮像装置の開発が進められているが、カメラや固体撮像装置の小型化だけでなく、低消費電力・低電圧型の固体撮像装置が、携帯用カメラやパソコンカメラとして強く求められている。

しかし、固体撮像装置のチップサイズの縮小により、微細化による取り扱い信号電荷量が減少するという問題がある。この結果、固体撮像装置のダイナミックレンジの減少が生じ、鮮明な解像感のある映像を得ることができない、などの問題が生じている。また、2値や3値以上の多数の電源電圧を使用していることから、カメラシステムの構成や取扱いの上で簡単なシステムで対応できない、などの問題がある。即ち、携帯用カメラやパソコンカメラへの応用のためには、この低消費電力・低電圧化と共に、S/Nの良い、単一電源の固体撮像装置が望まれている。

この問題を解決する方法として、増幅型のトランジスタを用いた固体撮像装置が幾つか提案されている。この固体撮像装置は、各セル内でフォトダイオードで検出した信号をトランジスタで増幅するものであり、高感度という特徴を持つ。

25 図1は、増幅型MOSセンサを用いた従来の固体撮像装置を示す回路構成図である。単位セルP0-i-jが縦、横に2次元マトリクス状に配列されている。図では、2×2しか示していないが、実際は数千個×数千個ある。iは水平(row)方向の変数、jは垂直(column)方向の変数である。各単位セルP0-i-jは、入射光を検出するフォトダイオード1-i-jと、フ

オトダイオード $1-i-j$ のカソードがゲートに接続され、その検出信号を增幅する増幅トランジスタ $2-i-j$ と、増幅トランジスタ $2-i-j$ のドレインに接続され、信号を読み出す水平ラインを選択する垂直選択トランジスタ $3-i-j$ と、フォトダイオード $1-i-j$ のカソードに接続され、信号電荷をリセットするリセットトランジスタ $4-i-j$ からなる。垂直選択トランジスタ $3-i-j$ のソースとリセットトランジスタ $4-i-j$ のソースがドレイン電圧端子に共通に接続される。

垂直アドレス回路 5 から水平方向に配線されている垂直アドレス線 $6-1$, $6-2$, …は各行の単位セルの垂直選択トランジスタ $3-1-1$, …のゲートに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路 5 から水平方向に配線されているリセット線 $7-1$, $7-2$, …は、各行のリセットトランジスタ $4-1-1$, …のゲートに接続されている。

各列の単位セルの増幅トランジスタ $2-1-1$, …のソースは列方向に配置された垂直信号線 $8-1$, $8-2$, …に接続され、垂直信号線 $8-1$, $8-2$, …の一端には負荷トランジスタ $9-1$, $9-2$, …が設けられている。垂直信号線 $8-1$, $8-2$, …の他端は、1行分の信号を取り込む信号転送トランジスタ $10-1$, $10-2$, …を介して、1行分の信号を蓄積する蓄積容量 $11-1$, $11-2$, …に接続されるとともに、水平アドレス回路 13 から供給される水平アドレスパルスにより選択される水平選択トランジスタ $12-1$, $12-2$, …を介して信号出力端（水平信号線）15 に接続されている。

以下、図 2 のタイミングチャートを参照して、このMOS型固体撮像装置の動作について説明する。

垂直アドレス線 $6-i$ をハイレベルにするアドレスパルスが印加されると、この行の選択トランジスタ $3-i-1$, $3-i-2$, …のみオンとなり、この行の増幅トランジスタ $2-i-1$, $2-i-2$, …と負荷トランジスタ $9-1$, $9-2$, …でソースフォロワ回路が構成される。

これにより、増幅トランジスタ $2-i-1$, $2-i-2$, …のゲート電圧、すなわちフォトダイオード $1-i-1$, $1-i-2$, …の電圧とほぼ同等の

電圧が垂直信号線 8-1, 8-2, …に現れる。

このとき、信号転送トランジスタ 10-1, 10-2, …の共通ゲート 14 に信号転送パルスを印加すると、增幅信号蓄積容量 11-1, 11-2, …には垂直信号線 8-1, 8-2, …に現れた電圧とその容量との積で表さ
れる增幅された信号電荷が蓄積される。

增幅信号蓄積容量 11-1, 11-2, …に信号電荷が蓄積され、信号転送トランジスタ 10-1, 10-2, …をオフした後、リセットライン 7-1, 7-2, …にリセットパルスを印加し、リセットトランジスタ 4-i-1, 4-i-2, …をオンさせ、フォトダイオード 1-i-1, 1-i-2, …に蓄積された信号電荷をリセットする。

つぎに、水平アドレス回路 13 から水平アドレスパルスを水平選択トランジスタ 12-1, 12-2, …に順次印加し、信号出力端（水平信号線）15 から 1 行分の出力信号を順次取り出す。

この動作を次の行（水平ライン）、次の行と順次続けることにより、2 次元状に配置されたフォトダイオードのすべての信号を読み出すことができる。

上述した従来のMOS型固体撮像装置の単位セル P0-i-j は、フォトダイオード 1-i-j からの電荷信号を增幅する増幅トランジスタ 2-i-j、信号を読み出すラインを選択する垂直選択トランジスタ 3-i-j、増幅トランジスタのゲートのゲートを充放電するリセットトランジスタ 4-i-j の 3 つのトランジスタを備えているため、単位セルを微細化、ひいては撮像装置自体を微細化することが難しいという問題があった。

本発明の目的は、微細化することができるMOS型固体撮像装置を提供することである。

25 発明の開示

本発明によるMOS型固体撮像装置は、配列されている多数の単位セルと、単位セルを選択する手段とを具備するMOS型固体撮像装置において、上記単位セルは複数の光電変換部と、上記複数の光電変換部にそれぞれ接続され、いずれか 1 つの光電変換部の出力信号を選択する複数の選択手段と、上記複

数の選択手段により選択されたいずれか 1 つの光電変換部の出力信号が入力され、該出力信号を増幅して単位セルから出力する出力手段とを具備するものである。

ここで、上記複数の光電変換部は上記出力手段に対して並列に接続されて 5 いることを特徴とする。

上記複数の光電変換部と上記複数の選択手段は直列に接続されていることを特徴とする。

上記単位セルは 2 次元マトリクス状に配列され、上記単位セル内の複数の光電変換部は垂直方向に配列されていることを特徴とする。

10 単位セルの行を選択するとともに、上記選択手段を制御する垂直選択手段と、単位セルの列を選択する水平選択手段とをさらに具備することを特徴とする。

上記単位セルは 2 次元マトリクス状に配列され、上記単位セル内の複数の光電変換部は水平方向に配列されていることを特徴とする。

15 単位セルの行を選択するとともに、上記選択手段を制御する垂直選択手段と、単位セルの列を選択する水平選択手段とをさらに具備することを特徴とする。

上記単位セルは 2 次元マトリクス状に配列され、上記単位セル内の複数の光電変換部は 2 次元マトリクス状に配列されていることを特徴とする。

20 単位セルの行を選択するとともに、上記選択手段を制御する垂直選択手段と、単位セルの列を選択する水平選択手段とをさらに具備することを特徴とする。

上記単位セルは 1 次元アレイ状に配列され、上記単位セル内の複数の光電変換部はアレイと直交する方向に配列されていることを特徴とする。

25 上記単位セルは 1 次元アレイ状に配列され、上記単位セル内の複数の光電変換部はアレイに沿った方向に配列されていることを特徴とする。

上記単位セルは 1 次元アレイ状に配列され、上記単位セル内の複数の光電変換部はマトリクス状に配列されていることを特徴とする。

上記単位セルは、上記複数の選択手段により選択されたいずれか 1 つの光

電変換部の出力信号を増幅する増幅トランジスタと、該光電変換部の出力信号をリセットするリセットトランジスタと、上記増幅トランジスタを選択する選択トランジスタからなることを特徴とする。

上記単位セルは、上記複数の選択手段により選択されたいずれか1つの光
5 電変換部の出力信号を増幅する増幅トランジスタと、該光電変換部の出力信号をリセットするリセットトランジスタと、上記増幅トランジスタを選択する選択容量からなることを特徴とする。

本発明のMOS型固体撮像装置は、半導体基板に複数の単位セルが形成されたMOS型固体撮像装置において、上記半導体基板はp-型不純物基体と、
10 上記p-型不純物基体に形成されたp+型不純物層とからなり、上記単位セルが上記p+型不純物層に形成されていることを特徴とする。

本発明のMOS型固体撮像装置は、半導体基板に複数の単位セルが形成されたMOS型固体撮像装置において、上記半導体基板はp-型不純物基体と、上記p-型不純物基体に形成されたp+型不純物層とからなり、上記単位セルは複数の光電変換部と、上記複数の光電変換部にそれぞれ接続され、いずれか1つの光電変換部の出力信号を選択する複数の選択手段と、上記複数の選択手段により選択されたいずれか1つの光電変換部の出力信号が入力され、該出力信号を増幅して単位セルから出力する出力手段とを具備することを特徴とする。

20 また、本発明は、入射光に応じた電荷を発生する複数の光電変換部と、上記複数の光電変換部が並列に接続され、いずれか1つの光電変換部から発生された電荷に対応する電圧信号を出力する信号出力手段とを具備する複数の単位セルが半導体基板の表面領域に形成されたMOS型固体撮像装置の駆動方法において、上記信号出力手段はテレビジョン信号の1フレーム期間内に
25 上記電圧信号を出力する動作を少なくとも2回以上行なうことを特徴とする。

本発明のMOS型固体撮像装置歯、単位セルの出力手段の増幅特性のバラツキを補償する手段をさらに具備することを特徴とする。

ここで、上記補償手段は上記単位セルの出力から雑音成分のみを減算するノイズキャンセラを具備することを特徴とする。

上記補償手段は上記単位セルの出力を表す電荷から雑音成分のみを表す電荷を減算するノイズキャンセラを具備することを特徴とする。

上記補償手段は、上記単位セルの出力信号が供給されるソースフォロワ回路と、ソースフォロワ回路の出力信号がサンプルホールドトランジスタ、クランプ容量を介して供給されるサンプルホールド容量と、サンプルホールド容量とクランプ容量との接続点に接続され、接続点をオン・オフするサンプルホールドトランジスタとを具備することを特徴とする。

上記サンプルホールド容量とクランプ容量とは積層されることを特徴とする。

上記補償手段は、上記単位セルの出力信号がクランプ容量、サンプルホールドトランジスタを介して供給されるサンプルホールド容量と、クランプ容量とサンプルホールドトランジスタとの接続点に接続され、クランプ容量をオン・オフするクランプトランジスタとを具備することを特徴とする。

上記補償手段は、クランプ容量のオン・オフ時のインピーダンスの差を小さくする補正手段を具備することを特徴とする。

上記補正手段は、クランプトランジスタのオフ時にクランプ容量を増加するための補正容量を具備することを特徴とする。

上記補償手段は、上記単位セルの出力信号が供給されるソースフォロワ回路と、ソースフォロワ回路の出力信号がクランプ容量、サンプルホールドトランジスタを介して供給されるサンプルホールド容量と、クランプ容量とサンプルホールドトランジスタとの接続点に接続され、クランプ容量をオン・オフするクランプトランジスタとを具備することを特徴とする。

上記補償手段は、上記単位セルの出力信号がゲートに供給されるスライストランジスタと、スライストランジスタのソースに接続されるスライス容量及びスライスリセットトランジスタと、スライストランジスタのドレインに接続されるスライス電荷転送容量及びドレインリセットトランジスタとを具備することを特徴とする。

上記補償手段は、上記単位セルの出力信号がサンプルホールドトランジスタ、クランプ容量を介して供給されるサンプルホールド容量と、サンプルホ

ールド容量とクランプ容量との接続点に接続され、接続点をオン・オフするサンプルホールドトランジスタとを具備することを特徴とする。

図面の簡単な説明

5 図 1 はMOS型固体撮像装置の従来例の構成を示す回路図、
図 2 は図 1 の従来例の動作を示すタイミングチャート、
図 3 は本発明によるMOS型固体撮像装置の第1実施例の構成を示す回路
図、
図 4 は第1実施例の垂直アドレス回路の回路構成を示す図、
10 図 5 は第1実施例の垂直アドレス回路の他の回路構成を示す図、
図 6 は第1実施例の垂直アドレス回路のさらに他の回路構成を示す図、
図 7 は第1実施例の単位セルの回路図、
図 8 は第1実施例の動作を示すタイミングチャート、
図 9 は第1実施例のノイズキャンセラ部分の装置構造を示す断面図、
15 図 10 A、図 10 B は第1実施例の単位セルの装置構造を示す断面図、
図 11 は第1実施例の単位セルの部分の半導体基板の変形例を示す図、
図 12 はCCD型固体撮像装置の従来例のセルの断面図、
図 13 は第1実施例の単位セルの部分の半導体基板の他の変形例を示す図、
20 図 14 は第1実施例の単位セルの部分の半導体基板のさらに他の変形例を
示す図、
図 15 は第1実施例の単位セルの部分の半導体基板のさらに他の変形例を
示す図、
図 16 は第1実施例の単位セルの部分の半導体基板のさらに他の変形例を
示す図、
25 図 17 は第1実施例の単位セルの部分の半導体基板のさらに他の変形例を
示す図、
図 18 は第1実施例の単位セルの出力回路の変形例の回路図、
図 19 は本発明によるMOS型固体撮像装置の第2実施例の構成を示す回
路図、

図20は第2実施例の動作を示すタイミングチャート、

図21は本発明によるMOS型固体撮像装置の第3実施例の構成を示す回路図、

図22は本発明によるMOS型固体撮像装置の第4実施例の構成を示す回路図、

図23は第4実施例の動作を示すタイミングチャート、

図24は第4実施例のスライストラジスタのポテンシャル図、

図25は本発明によるMOS型固体撮像装置の第5実施例の構成を示す回路図、

図26は本発明によるMOS型固体撮像装置の第6実施例の第1の構成を示す回路図、

図27は本発明によるMOS型固体撮像装置の第6実施例の第2の構成を示す回路図、

図28は第6実施例の動作を示すタイミングチャート、

図29は第6実施例のノイズキャンセラ回路のポテンシャル図

図30は本発明によるMOS型固体撮像装置の第7実施例の構成を示す回路図、

図31は第7実施例の動作を示すタイミングチャート、

図32は本発明によるMOS型固体撮像装置の第8実施例の構成を示す回路図、

図33は第8実施例の単位セルの回路図、

図34は本発明の変形例において、水平信号線に接続されるビデオアンプの回路図である。

発明を実施するための最良の形態

以下、図面を参照して本発明によるMOS型固体撮像装置の実施例を説明する。

第1実施例

図3は、本発明の第1実施例に係るMOS型固体撮像装置の構成を示す。

単位セル P_{1-i-j} が縦、横に 2 次元マトリクス状に配列されている。図では、 2×2 しか示していないが、実際は数千個 \times 数千個ある。 i は水平 (row) 方向の変数、 j は垂直 (column) 方向の変数である。各単位セル P_{1-i-j} の詳細は図 7、図 18 に示す。

5 本発明の固体撮像装置の応用分野としては、ビデオカメラ、電子スチルカメラ、デジタルカメラ、ファクシミリ、複写機、スキャナ等がある。

垂直アドレス回路 5 から水平方向に配線されている垂直アドレス線 6-1, 6-2, … は各行の単位セルに接続され、信号を読み出す水平ラインを決めている。同様に、垂直アドレス回路 5 から水平方向に配線されているリセッ 10 ト線 7-1, 7-2, … は、各列の単位セルに接続されている。後述するよ うに、本実施例の単位セルは 2 つのフォトダイオードを含んでいるので、垂 直アドレス回路 5 からは第 1 のフォトダイオード選択線 22-1, 22-2, …、第 2 のフォトダイオード選択線 24-1, 24-2, … も水平方向に出 力され、これらも各行の単位セルに接続されている。

15 各列の単位セルは列方向に配置された垂直信号線 8-1, 8-2, … に接続され、垂直信号線 8-1, 8-2, … の一端には負荷トランジスタ 9-1, 9-2, … が設けられている。負荷トランジスタ 9-1, 9-2, … のゲートとドレインは共通にドレイン電圧端子 20 に接続される。

垂直信号線 8-1, 8-2, … の他端は、MOS トランジスタ 26-1, 26-2, … のゲートに接続される。MOS トランジスタ 26-1, 26-2, … のソースは MOS トランジスタ 28-1, 28-2, … のドレインに接続され、MOS トランジスタ 26-1, 26-2, …, 28-1, 28-2, … はソースフォロワ回路として動作する。MOS トランジスタ 28-1, 28-2, … のゲートは共通ゲート端子 36 に接続される。

25 MOS トランジスタ 26-1, 26-2, … と MOS トランジスタ 28-1, 28-2, … の接続点がサンプルホールドトランジスタ 30-1, 30-2, … を介してクランプ容量 32-1, 32-2, … の一端に接続される。クランプ容量 32-1, 32-2, … の他端にはサンプルホールド容量 34-1, 34-2, … とクランプトランジスタ 40-1, 40-2, … が

並列に接続されている。サンプルホールド容量 34-1, 34-2, …の他端は接地されている。クランプ容量 32-1, 32-2, …の他端は水平選択トランジスタ 12-1, 12-2, …を介して信号出力端（水平信号線）15 にも接続される。

5 垂直アドレス回路 5 は、複数、ここでは 4 本の信号を纏めてシフトする回路であり、図 4、図 5、図 6 のいずれかの回路により実現される。図 4 の例では、入力信号 46 を多数の出力端から順次シフトして出力するシフトレジスタ 44 の出力がマルチプレクサ 48 により 4 入力信号 50 と合成される。図 5 の例では、エンコード入力 54 をデコードするデコーダ 52 の出力がマ
10 ルチプレクサ 56 により 4 入力信号 58 と合成される。図 6 の例では、4 つのシフトレジスタ 60a, 60b, 60c, 60d の出力を束ねて各行の制御信号線とする。

15 図 7 は、図 3 に示した単位セル P1-1-1 の一構成例を示す。ここでは、単位セル P1-1-1 の構成のみを示すが、他の単位セル P1-1-2, ~ についても同様の構成が採用されている。

同図に示すように、本実施例のMOS型固体撮像装置の単位セルは、垂直方向に隣り合う 2 個のフォトダイオード 62a, 62b と、どちらのフォトダイオード 62a, 62b の検出信号を単位セルの出力とするかを選択する 2 個のフォトダイオード選択トランジスタ 63a, 63b と、選択トランジ
20 スタ 63a, 63b で選択されたフォトダイオードの出力信号を単位セルから出力する出力回路 68 を有する。各選択スイッチ 63a, 63b は、独立にオン／オフ制御されるものであって、各選択スイッチをオンにすることにより、フォトダイオード 62a, 62b に蓄積された電荷を時分割的に出力回路 68 に供給することができる。

25 出力回路 68 は、フォトダイオードからの電荷信号がゲートに供給され、それを増幅する増幅トランジスタ 64、信号を読み出す単位セルを選択する垂直選択トランジスタ 65、増幅トランジスタ 64 のゲートを充放電するリセットトランジスタ 66 から構成されている。

垂直アドレス回路 5 から水平方向に配線されている水平アドレス線 6-1

は、垂直選択トランジスタ 6 5 のゲートに接続され、信号を読み出すラインを選択する。同様に、垂直アドレス回路 5 から水平方向に配線されているリセット線 7-1、フォトダイオード選択線 22-1, 24-1 は、それぞれリセットトランジスタ 6 6 のゲート、フォトダイオード選択トランジスタ 6 5 a, 6 3 b のゲートに接続されている。

このように本実施例のMOS型固体撮像装置の単位セルは、従来例（一つのフォトダイオード／単位セル）とは異なり複数の、ここでは垂直方向に隣接する2つのフォトダイオードが1つの出力回路 6 8 を共有している。このため、単位セルは、フォトダイオード選択用の2つのトランジスタを含めて5個のトランジスタで構成されることになる。すなわち、1つのフォトダイオードに対して2, 5 個のトランジスタが存在している。そのため、1つのフォトダイオードに3個のトランジスタが必要である図1に示す従来例に比べて単位セルの面積を縮小でき、小型化できる固体撮像装置が実現される。

また、本実施例に係るMOS型固体撮像装置の単位セルの特徴は、2つのフォトダイオード 6 2 a, 6 2 b が選択トランジスタ 6 3 a, 6 3 b を介して出力回路 6 8 に対してそれぞれ接続されている、すなわち、フォトダイオード 6 2 a, 6 2 b が並列に接続されていることがある。複数のフォトダイオード 6 2 で1つの出力回路 6 8 を共有する方法としては、上記方法に限らず、1つのフォトダイオードのみ出力回路に接続し、他のフォトダイオードは出力回路に接続された上記フォトダイオードを介して出力回路に接続する、いわゆる直列接続による方法もある。しかし、この直列接続による方法では、他のフォトダイオードに蓄積された検出信号を破壊することなく、複数のフォトダイオードの検出信号を独立して読み出すことは困難である。

一般的に、増幅型MOS型固体撮像装置においては、増幅トランジスタ 6 4 の閾値電圧のバラツキが信号に重畠するため、フォトダイオード 6 2 の電位が同じでも出力信号が同じとはならず、写した画像を再生すると増幅トランジスタ 6 4 の閾値バラツキに対応する2次元状の雑音（場所的に固定されているという意味で、固定パターン雑音と称される）が発生する。このため、本実施例においては、図1の信号転送トランジスタと蓄積容量の代わりに、

この固定パターン雑音を抑圧するための雑音除去回路が設けられている。図3では、雑音除去回路としては電圧領域で信号と雑音との差分をとる相関二重サンプリング型を示したが、雑音除去回路の型は、相関二重サンプリング型には限定されず、種々の雑音除去回路が用いられている。

5 次に、図8のタイミングチャートを参照して、このように構成されたMOS型固体撮像装置の動作について説明する。なお、負荷トランジスタ9の共通ドレイン端子20、インピーダンス変換回路のトランジスタ28の共通ゲート端子36、クランプトランジスタ40の共通ソース端子38はDC駆動であるので、タイミングチャートから省略している。

10 垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該垂直アドレス線6-1に接続されている単位セルP1-1-1, P1-1-2, …の垂直選択トランジスタ65がオンとなり、増幅トランジスタ64と負荷トランジスタ9-1, 9-2, …でソースフォロワ回路が構成される。サンプルホールドトランジスタ30-1, 30-2, …の共通ゲート37をハイレベルとしてサンプルホールドトランジスタ30-1, 30-2, …をオンする。この後、クランプトランジスタ40-1, 40-2, …の共通ゲート42をハイレベルとしてクランプトランジスタ40-1, 40-2, …をオンする。

15 次に、リセット線7-1にハイレベルのリセットパルスを印加すると、当該リセット線7-1に接続されている単位セルP1-1-1, P1-1-2, …のリセットトランジスタ66がオンとなり、出力回路68の入力端子の電荷がリセットされる。このため、出力回路68からはフォトダイオード62に信号電荷が無い時の増幅トランジスタ64の閾値バラツキに応じた雑音成分が出力される。

20 次に、クランプトランジスタ40-1, 40-2, …の共通ゲート42をローレベルとしてクランプトランジスタ40-1, 40-2, …をオフする。このため、垂直信号線8-1, 8-2, …に現れている雑音成分はクランプ容量32-1, 32-2, …に蓄積される。このように、垂直信号線8-1, 8-2, …の電位がクランプ容量32-1, 32-2, …にクランプされる

タイミングは、クランプトランジスタの共通ゲート 4 2 に印加されるクランプパルスがローレベルに戻る時であり、リセットパルスとフォトダイオード選択パルスの間である。

単位セル P 1 - 1 - 1, P 1 - 1 - 2, …においては、フォトダイオード 6 2 a はリセット後、信号電荷の蓄積が行われており、次に、これを読み出す。そのため、フォトダイオード選択線 2 2 - 1 にハイレベルの選択パルスを印加すると、出力回路 6 8 からはフォトダイオード 6 2 a の出力信号（信号電荷成分プラス雑音成分）が出力される。前述したように、クランプ容量 3 2 - 1, 3 2 - 2, …には雑音成分が蓄積されているので、クランプノード 4 1 - 1, 4 1 - 2, …には垂直信号線 8 - 1, 8 - 2, …の電圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現れる。

ここで、先ず、雑音成分のみを読み出し、この後、信号成分プラス雑音成分を読み出すと、リセット動作によって生じるランダム雑音も同時に除去することができる。

そして、サンプルホールドトランジスタ 3 0 - 1, 3 0 - 2, …の共通ゲート 3 7 をローレベルとしてサンプルホールドトランジスタ 3 0 - 1, 3 0 - 2, …をオフする。このため、クランプノード 4 1 - 1, 4 1 - 2, …に現れている雑音のない電圧がサンプルホールド容量 3 4 - 1, 3 4 - 2, …に蓄積される。

この後、水平選択トランジスタ 1 2 - 1, 1 2 - 2, …に水平アドレスパルスを順次印加することにより、サンプルホールド容量 3 4 - 1, 3 4 - 2, …に蓄積されている雑音のないフォトダイオード 6 2 a の信号が出力端子（水平信号線） 1 5 から読み出される。

次に、垂直アドレス線 6 - 1 にハイレベルのアドレスパルスを印加するときは、フォトダイオード選択線 2 2 - 1 の代わりにフォトダイオード選択線 2 4 - 1 にハイレベルの選択パルスを印加し、出力回路 6 8 からフォトダイオード 6 2 b の出力信号を出力させる。他の動作は上と同じである。

以下、同様に、垂直アドレス線 6 - 2, 6 - 3, …について上述の動作を

繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

従来のように1フレーム期間中に出力回路を1回しか動作させない場合には、その出力回路に対応する複数のフォトダイオードの検出信号を1フレーム期間中に全て読み出すことは出来ない。
5

しかし、本実施例のMOS型固体撮像装置の駆動方法は、1フレーム期間中の連続した2回の水平プランギング期間に1回ずつ垂直選択トランジスタ65をオンにして出力回路68を動作させ、1回目はフォトダイオード62a、2回目はフォトダイオード62bの検出信号を読み出すので、単位セル10が微細化されたMOS型固体撮像装置を駆動することができる。

このように、1フレーム期間中に出力回路を2回以上動作させないと、全てのフォトダイオードの検出信号を読み出すことは出来ない。また、1回読み出してから次に読み出す前に出力回路をリセットしないと、次回からの読み出し信号には前回の読み出しの時の信号が重畠されてしまう。

15 また、本実施例のMOS型固体撮像装置においては、充放電用のリセットトランジスタ66が増幅トランジスタ64のゲートに接続されており、フォトダイオードの電位のリセットをフォトダイオード選択トランジスタ63を介して行なうという特徴がある。この場合、フォトダイオード62a、62bに増幅トランジスタ64が1つずつ接続されている場合と比較して、単位20セル当たりのトランジスタの数が減るという利点がある。

また、本実施例においては、垂直方向に隣合う2つのフォトダイオードが出力回路を共有しているという特徴がある。このため、1水平プランギング期間中に増幅トランジスタ64を用いて電荷信号を読み出す回数が1回であり、駆動しやすい。要するに、本実施例の特徴は、読みだし方向と共有方向25とが異なっていることである。

ここで、図8のタイミングの先後関係を説明する。必須の順番は、次の3つある。

(1)垂直アドレスの立ち上がり→リセットパルスの立ち下がり→クランプパルスの立ち下がり→フォトダイオード選択パルスの立ち上がり→フォトダ

イオード選択パルスの立ち下がり→サンプルホールドパルスの立ち下がり→垂直アドレスの立ち下がり

(2)サンプルホールドパルスの立ち上がり→フォトダイオード選択パルスの立ち上がり

5 (3)クランプパルスの立ち上がり→フォトダイオード選択パルスの立ち上がり

なお、垂直アドレスの立ち上がり、サンプルホールドパルスの立ち上がり、クランプパルスの立ち上がり、リセットパルスの立ち上がりの前後関係は任意であるが、好ましくは、次の順番がよい。

10 垂直アドレスの立ち上がり→サンプルホールドパルスの立ち上がり→クランプパルスの立ち上がり→リセットパルスの立ち上がり

15 このように、図8の動作によれば、クランプノード41には、リセットされて信号がない時と、信号（プラス雑音）がある時との差の電圧が現れるため、増幅トランジスタ64の閾値バラツキによる固定パターン雑音が補償される。すなわち、クランプトランジスタ30、クランプ容量31、サンプルホールドトランジスタ40、サンプルホールド容量34からなる回路がノイズキャンセラとして作用する。

20 なお、本実施例のノイズキャンセラは、ソースフォロワ回路からなるインピーダンス変換回路26、28を介して垂直信号線8に接続されている。すなわち、垂直信号線はトランジスタ26のゲートに接続されている。このゲート容量は非常に小さいので、セルの増幅トランジスタ64は垂直信号線8-1、8-2、…のみを充電するので、CRの時定数が短く、すぐに定常状態になる。そのため、リセットパルス、フォトダイオード選択パルスの印加タイミングを早くすることができ、短時間でノイズキャンセル動作をさせることができる。テレビジョン信号の場合、ノイズキャンセル動作は水平ブランкиング期間内に行う必要があり、短時間で正確にノイズキャンセルできることは大きな長所である。さらに、ノイズキャンセル動作に含まれる雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスが同じであるので、正確にノイズをキャンセルすることができ

る。

次に、本実施例の構造を説明する。

図3の回路構成から分るように、クランプ容量32とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成⁵することができ、単位セルを小型化できる。

具体的には、図9に示すように、シリコン基板72上に第1の絶縁膜74を介して第1の電極76を形成することにより、サンプルホールド容量34を構成し、さらに第1の電極76上に第2の絶縁膜78を介して第2の電極80を形成することにより、クランプ容量32を構成する。

この図からも明らかなように、第1の電極76が共通電極となり、クランプ容量32とサンプルホールド容量34が積層形成されているので、個別に形成する場合の1/2の面積で同じ容量値を得ることが可能となる。

本実施例においては、単位セルP1-1-1、P1-1-2、…や、垂直アドレス回路5、水平アドレス回路13などの周辺回路は、p-型基板上にp⁺型不純物層を形成した半導体基板上に形成されている。

図10A、10Bは、このような半導体基板の断面図である。

図10Aに示すように、p-型基板81上にp⁺型不純物層82を形成した半導体基板にフォトダイオード83などのセル要素が形成されている。

半導体基板をこのよう構成にすることにより、p-/⁺p⁺境界にある拡散電位により、p-型基板81で発生した暗電流がp⁺側へ流れ込むのを一部防止することができる。

電子の流れを詳しく解析した結果を簡単に述べると、p-側で発生した電子にとってp⁺不純物層82の厚さLがp⁺とp-の濃度の比倍すなわちL⁺/p-に見える。

すなわち、図10Bに示すように、暗電流の発生源であるp-基板81からフォトダイオード83までの距離がp⁺/p-倍遠くなったように見えることになる。暗電流は、基板深部から流れ込むもの以外にフォトダイオード83近傍の空乏層内で発生するものがあり、この空乏層内で発生する暗電流は、基板深部から流れ込む暗電流とほぼ同じ程度ある。空乏層の厚さは約1

μ m程度であり、基板深部から流れ込む暗電流は約100 μ mの深さからも流れてくる。この深さはp型半導体内部での電子の拡散距離と呼ばれているものである。この厚さの差にも関わらず暗電流が同等なのは、単位体積あたりの暗電流の発生確率が空乏層内部の方が高いためである。ここで、空乏層

5 で発生する暗電流は原理的に信号電流と分離することができないので、暗電流の低減は基板深部から流れ込む成分を減ずることによってなされる。

また、p⁻型基板71上にp⁺型不純物層72を形成した半導体基板にセルを形成するので、暗電流が発生することによる基板電位の変動を防止することができ、p型基板は厚いため、抵抗が低く、後述するように、雑音除去回路を確実に動作させることができる。

また、素子温度が上昇すると基板深部からの成分の方が急激に増加するので、これが重要である。その目安は、基板深部からの成分が空乏層で発生した成分よりも十分小さいことであり、具体的には、基板深部からの暗電流が空乏層内部からのものに比べて約1桁下であればいい。すなわち、p⁺ / p⁻を10に設定して基板深部からのものを約1 / 10にすればいい。

さらに、基板深部からの暗電流は、n型基板とp型ウェルとで構成される半導体基板ではほぼ全くないといってよいが、このような半導体基板と同じレベルにするためにはp⁺ / p⁻を100に設定して基板深部からの暗電流を約1 / 100にする必要がある。

20 従来の実績のあるCCDでは、n型の埋め込みチャネルの不純物濃度が約10¹⁶ c m⁻³程度であり、この埋め込みチャネルの拡散層を安定して製造するための埋め込みチャネルを囲むp型層（ここではp型基板）の不純物濃度は約10¹⁵ c m⁻³である。

p⁺層の濃度はp⁺ / p⁻を10にする場合は約10¹⁶ c m⁻³程度、p⁺ / p⁻を100にする場合は約10¹⁷ c m⁻³程度となり、n型の埋め込みチャネルの不純物濃度の約10¹⁶ c m⁻³と同程度又は1桁逆転してしまう。

このため、従来実績のあるのCCDではこのような不純物濃度のp⁺層を使うことは考えられなかった。また、p⁻層の濃度を下げると基板のシート抵抗が高くなるという問題が出てくる。

しかしながら、増幅型のMOS撮像装置ではCCDの埋め込みチャネルがないためp-層の濃度を下げずにp+/p-の値をある程度自由に設定できる。

そこで、p型ウェルの抵抗を下げ、n型基板とp型ウェルとで構成される半導体基板の構造を改善することによってもセルを構成することができる。

5 図11は、n型基板85上にシート抵抗の低いp+ウェル86を用いた単位セルの断面図である。また、図12は、CCDの単位セルの断面図を示す。

CCDの単位セルのn型基板87、p型ウェル86、n型埋め込みチャネル89の不純物濃度は安定して製造を行うために、それぞれ約 10^{14} cm^{-3} 、約 10^{15} cm^{-3} 、約 10^{16} cm^{-3} 程度にしてある。

10 n型フォトダイオード90の不純物濃度はある程度自由に設定できるため製造上の制約はあまりない。p型ウェル86のシート抵抗は上記の不純物濃度では約 $100 \text{ k}\Omega/\square$ 程度の値である。CCDは、前述のようにこのような高い値でも雑音が非常に小さい。

一方、増幅型のMOS撮像装置で雑音除去回路を使用する場合、このp型ウェルのシート抵抗は非常に重要である。何故ならば、リセットパルスによるp型ウェル86の電位の擾乱が収まる時間がこの装置を応用するシステムにマッチングしなければならないからである。

現行のテレビ方式であるNTSC方式では、雑音除去回路を動作させるのは水平帰線期間である約11[μs]の間である。この時間のあいだにp型ウェル86の電位の擾乱が0.1[mV]程度まで収まる必要がある。

20 この0.1[mV]という非常に小さい値は、CCDの雑音電圧出力がこの程度であることから起因している。11[μs]という非常に短い時間で0.1[mV]という非常に小さい値に落ちつかせるには、詳しい解析によるとp型ウェル86のシート抵抗を $1 \text{ k}\Omega/\square$ 以下にしなければならない。これは従来のCCDの約1/100である。

そのためには、p型ウェル86の不純物濃度を約100倍にする必要があり、p型基板のところで前述したように、CCDでは不可能な濃度である。さらにハイビジョンテレビ方式では水平帰線期間が3.77[μs]であり、p型ウェル86のシート抵抗を $300 \text{ }\Omega/\square$ 以下にしなければならない。

他の変形例としては、高濃度の p^+ 型サンドイッチ層を基板上に形成し、表面をそれより濃度の低い p 型層にすることが考えられる。

図 1 3 は、 p^- 型基板 9 1 と p 型層 9 3 との間に p^+ 型サンドイッチ層 9 2 を形成した半導体基板の構成を示す図である。また、図 1 4 は、 n 型基板 9 5 と p 型層 9 7 との間に p^+ 型サンドイッチ層 9 6 を形成した半導体基板の構成を示す図である。

このような p^+ 型サンドイッチ層は高加速度のメガボルトイオン打ち込み機により実現できる。

上記 p 型層には、単位セルの構成要素であるフォトダイオード 8 3 、トランジスタなどの他に、水平アドレス回路、垂直アドレス回路などの周辺回路も形成される。

図 1 5 は、フォトダイオード 8 3 の周囲を高濃度の p 型ウェル 1 0 3 で囲み、 n 型基板 1 0 1 上の他の部分を他の p 型ウェル 1 0 2 で形成することにより構成される半導体基板の構成を示す図である。

15 このような構成を採用することにより、フォトダイオード 8 3 への暗電流の漏れ込みを防止することができる。なお、半導体基板 1 0 1 は、 p^- 型基板であってもよい。

さらに、セル周辺の水平アドレス回路や垂直アドレス回路の一部又は全部を形成する p 型ウェルの濃度は回路設計の方から決められており、セルの最適値とは異なるため撮像領域を形成する p 型ウェルとは別の p 型層にすることも考えられる。

図 1 6 は、 n 型基板 1 0 5 上に撮像領域を構成する p 型ウェル 1 0 6 を形成するとともに、周辺回路部を構成する他の p 型ウェル 1 0 7 を別々に形成した半導体基板の構成を示す図である。

25 このような構成とすることにより、各構成要素に適した p 型ウェルを形成することができる。なお、上記 n 型基板 1 0 5 は、 p^- 型基板であっても良い。

図 1 7 は、 n 型基板 1 0 5 上に撮像領域を形成する p^+ 型サンドイッチ層 1 0 8 及び濃度の低い p 型層 1 0 9 を形成するとともに、周辺回路部に他の

p型ウェル107を形成したものである。

このような構成とすることにより、各構成要素に適したp型ウェルを形成することができ、フォトダイオードへの暗電流の漏れ込みを防止することができる。なお、上記n型基板105は、p-型基板であっても良い。

5 以上説明したように、本実施例によれば、垂直方向に隣接する複数（ここでは、2つ）のフォトダイオードで1つの出力回路を共有する単位セルを用いているので、単位セルの面積を微細化することができる。出力回路を共有するフォトダイオードの数は2つに限られずに、3つ以上でも良い。

なお、出力回路68の変形例として、図18に示すように、垂直選択トランジスタ66の代わりに垂直選択容量69を設けられてもよい。この構成では、単位セル当たりのトランジスタの数をさらに削減することができ、セルの微細化に有利である。アドレス線6-1にハイレベルの電圧を印加すると、増幅トランジスタ64のゲート電圧が高電圧側にシフトする。隣接する単位セルの増幅トランジスタ64のゲート電圧は低いままであるので、垂直信号15 線8-1にはアドレスされた増幅トランジスタ64の信号が現れる。

また、単位セルの出力をノイズキャンセラを介して出力しているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を取り除くことができる。さらに、ノイズキャンセラにおいては、クランプ容量32-1, 32-2, …（以下、これらを32と総称する。他の添え字付きの20 部材についても同様）とサンプルホールド容量34が直接接続されて近接しているので、これらを同一面上に積層して形成することができ、容量を小型化できる。

さらに、単位セルの出力をインピーダンス変換回路を介してノイズキャンセラに供給しているので、雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスがほぼ同一であるため、両出力時で雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去でき、信号成分のみ取り出すことが可能となり、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に小さいので、

短時間に確実にノイズをキャンセルすることができる。

また、単位セルを形成する半導体基板として、p-型不純物基体と、p-型不純物基体上に形成されたp+型不純物層とからなる基板を用いることにより、単位セルに進入する暗電流を低減することができ、かつ、基板表面の電位を安定させることができるので、雑音除去回路を確実に動作させることができる。

次に、第1実施例において、ノイズキャンセラ回路部分を変形した実施例を説明する。

第2実施例

図19は、本発明の第2実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP1-i-j付近の回路構成は第1実施例と同じである。

垂直信号線8-1, 8-2, …の他端は、クランプ容量131-1, 131-2, …、クランプトランジスタ132-1, 132-2, …、水平選択トランジスタ12-1, 12-2, …を介して信号出力端（水平信号線）15に接続される。クランプ容量131-1, 131-2, …と、サンプルホールドトランジスタ133-1, 133-2, …との間にはクランプトランジスタ132-1, 132-2, …のドレインが接続される。クランプトランジスタ132-1, 132-2, …のソースは共通ソース端子141に接続され、ゲートは共通ゲート端子142に接続される。サンプルホールドトランジスタ133-1, 133-2, …と、水平選択トランジスタ12-1, 12-2, …との接続点はサンプルホールド容量134-1, 134-2, …を介して接地される。

次に、図20のタイミングチャートを参照して、このように構成されたMOS型固体撮像装置の動作について説明する。なお、負荷トランジスタ9の共通ドレイン端子20、クランプトランジスタ132の共通ソース端子141はDC駆動であるので、タイミングチャートから省略している。単位セルは図7に示すもので説明する。

垂直アドレス線6-1にハイレベルのアドレスパルスを印加すると、当該

垂直アドレス線 6-1 に接続されている単位セル P 1-1-1, P 1-1-2, …の垂直選択トランジスタ 65 がオンとなり、増幅トランジスタ 64 と負荷トランジスタ 9-1, 9-2, …でソースフォロワ回路が構成される。

サンプルホールドトランジスタ 133-1, 133-2, …の共通ゲート 5 143 をハイレベルとしてサンプルホールドトランジスタ 133-1, 133-2, …をオンする。この後、クランプトランジスタ 132-1, 132-2, …の共通ゲート 142 をハイレベルとしてクランプトランジスタ 132-1, 132-2, …をオンする。

次に、リセット線 7-1 にハイレベルのリセットパルスを印加すると、当 10 該リセット線 7-1 に接続されている単位セル P 1-1-1, P 1-1-2, …のリセットトランジスタ 66 がオンとなり、出力回路 68 の入力端子の電荷がリセットされる。このため、出力回路 68 からはフォトダイオード 62 に信号電荷が無い時の増幅トランジスタ 64 の閾値バラツキに応じた雑音成分が出力される。

15 次に、クランプトランジスタ 132-1, 132-2, …の共通ゲート 142 をローレベルとしてクランプトランジスタ 132-1, 132-2, …をオフする。このため、垂直信号線 8-1, 8-2, …に現れている雑音成分はクランプ容量 131-1, 131-2, …に蓄積される。このように、垂直信号線 8-1, 8-2, …の電位がクランプ容量 131-1, 131-2, …にクランプされるタイミングは、クランプトランジスタの共通ゲート 142 に印加されるクランプパルスがローレベルに戻る時であり、リセットパルスとフォトダイオード選択パルスの間である。

20 単位セル P 1-1-1, P 1-1-2, …においては、フォトダイオード 62a はリセット後、信号電荷の蓄積が行われており、次に、これを読み出 25 す。そのため、フォトダイオード選択線 22-1 にハイレベルの選択パルスを印加すると、出力回路 68 からはフォトダイオード 62a の出力信号（信号電荷成分プラス雑音成分）が出力される。前述したように、クランプ容量 131-1, 131-2, …には雑音成分が蓄積されているので、クランプノード 145-1, 145-2, …には垂直信号線 8-1, 8-2, …の電

圧変化分、すなわち信号成分プラス雑音成分から雑音成分を差し引いた、固定パターン雑音のない信号電圧のみが現れる。サンプルホールドトランジスタ 133-1, 133-2, …はオンされており、同じ信号電圧がサンプルホールド容量 134-1, 134-2, …の端子に現れている。

5 そして、サンプルホールドトランジスタ 133-1, 133-2, …の共通ゲート 143 をローレベルとしてサンプルホールドトランジスタ 133-1, 133-2, …をオフする。このとき、クランプノード 145-1, 145-2, …に現れている雑音のない電圧がサンプルホールド容量 134-1, 134-2, …に保持される。

10 この後、水平選択トランジスタ 12-1, 12-2, …に水平アドレスパルスを順次印加することにより、サンプルホールド容量 134-1, 134-2, …に蓄積されている雑音のないフォトダイオード 62a の信号が出力端子（水平信号線） 15 から読み出される。

15 次に、垂直アドレス線 6-1 にハイレベルのアドレスパルスを印加するときは、フォトダイオード選択線 22-1 の代わりにフォトダイオード選択線 24-1 にハイレベルの選択パルスを印加し、出力回路 68 からフォトダイオード 62b の出力信号を出力させる。他の動作は上と同じである。

20 以下、同様に、垂直アドレス線 6-2, 6-3, …について上述の動作を繰り返すことにより、2次元状に配置された全てのセルの信号を取り出すことが出来る。

第3実施例

図 21 は、本発明の第3実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セル P1-i-j 付近の回路構成は第1実施例と同じである。

25 第3実施例は、第1実施例のインピーダンス変換回路を第2実施例のノイズキャンセラに接続した例である。なお、クランプトランジスタ 132 の共通ソースは本実施例ではDC駆動している。

第4実施例

図 22 は、本発明の第4実施例に係わる増幅型MOSセンサを用いた撮像

装置の回路構成図である。単位セルP 1 - i - j付近の回路構成は第1実施例と同じである。

負荷トランジスタ9-1, 9-2, …とは反対側の垂直信号線8-1, 8-2, …の端部は、スライストランジスタ150-1, 150-2, …のゲートにそれぞれ接続されている。スライストランジスタ150-1, 150-2, …のソースにはスライス容量152-1, 152-2, …の一端が接続されており、スライス容量152-1, 152-2, …の他端はスライスパルス供給端子154に接続されている。スライストランジスタ150-1, 150-2, …のソース電位をリセットするために、スライストランジスタのソースとスライス電源端子158との間にスライスリセットトランジスタ156-1, 156-2, …が設けられ、このトランジスタ156-1, 156-2, …のゲートにスライスリセット端子160が接続されている。

スライストランジスタ150-1, 150-2, …のドレインには、スライス電荷転送容量162-1, 162-2, …が接続されている。また、スライストランジスタ150-1, 150-2, …のドレイン電位をリセットするために、そのドレインと蓄積ドレイン電源端子164との間にドレインリセットトランジスタ166-1, 166-2, …が設けられ、このトランジスタ166-1, 166-2, …のゲートにドレインリセット端子168が接続されている。さらに、スライストランジスタ150-1, 150-2, …のドレインは、水平アドレス回路13から供給される水平アドレスパルスにより駆動される水平選択トランジスタ12-1, 12-2, …を介して信号出力端15に接続されている。

このように第4実施例のCMOSセンサは第3図に示した第1実施例に対して、単位セルP 1 - i - jの構成は同じであるが、ノイズキャンセラの部分の構成が異なり、第4実施例のノイズキャンセラは、垂直信号線8-1, 8-2, …に現れる電圧をスライストランジスタ150のゲート容量を介して電荷に変換し、電荷領域で引き算をすることにより雑音を抑圧することが特徴である。

次に、本実施例の駆動方法について説明する。図23は本実施例の動作を

示すタイミングチャートであり、図24はスライストランジスタ150-1, 150-2, …のポテンシャル図を示している。ここで、スライストランジスタはpチャネル型とする。

まず、1行目の垂直アドレス線6-1にハイレベルの垂直アドレスパルスを印加すると、この行の単位セルの垂直選択トランジスタ66のみオンし、この行の増幅トランジスタ64と負荷トランジスタ9-1, 9-2, …でソースフォロワ回路が構成される。

次いで、スライスリセット端子160にスライスリセットパルスを印加し、スライスリセットトランジスタ156-1, 156-2, …をオンし、スライス容量152-1, 152-2, …の電荷を初期化する。

さらに、スライスリセットトランジスタ156をオフする。この初期化の前、または後にリセット線7-1にハイレベルのリセットパルスを印加すると、当該リセット線7-1に接続されている単位セルP1-1-1, P1-1-2, …のリセットトランジスタ66がオンとなり、出力回路68の入力端子の電荷がリセットされる。このため、出力回路68からはフォトダイオード62に信号電荷が無い時の増幅トランジスタ64の閾値バラツキに応じた雑音成分が outputされる。スライスパルス供給端子154に第1のスライスパルスS P1を印加する。これにより、信号が無い時のスライストランジスタ150のゲート下のチャンネル電位Vochを越えて、第1のスライス電荷がドレインに転送される。このとき、ドレインリセット端子168にはドレインリセットパルスが印加され、ドレインリセットトランジスタ166はオンするので、ドレイン電位は蓄積ドレイン電源端子164の電圧Vsdに固定されている。従って、第1のスライス電荷はドレインリセットトランジスタ166を通って蓄積ドレイン電源端子164へ排出される。

次いで、フォトダイオード選択線22-1にハイレベルの選択パルスを印加すると、出力回路68からはフォトダイオード62aの出力信号（信号電荷成分プラス雑音成分）が出力される。

次いで、スライスパルス供給端子154に第2のスライスパルスS P2を印加する。これにより、信号電荷があるときの電圧がかかっているスライス

トランジスタ 150 のゲート下のチャネル電位 V_{sch} を越えて、第 2 のスライス電荷がドレインに転送される。このとき、ドレインリセットトランジスタ 166 はオフしているので、第 2 のスライス電荷はドレインに接続されているスライス電荷転送容量 162 に転送される。

5 次いで、水平アドレス回路 13 から水平選択パルスを水平選択トランジスタ 12-1, 12-2, … に順次印加し、水平信号線 15 から 1 ライン分の信号を順次取り出す。この動作を、次のライン、その次のラインと順次続けることにより、2 次元状の全ての信号を読み出すことができる。

10 このデバイスでは、スライス容量 152 の値を C_{s1} とすると、最終的に水平信号線 15 に読み出される電荷（第 2 のスライス電荷）は

$$C_{s1} \times (V_{sch} - V_{0ch})$$

となり、信号があるときとリセットされ信号がないときの差に比例する電荷が現れるため、単位セル内の増幅トランジスタ 64 の閾値ばらつきによる固定パターン雑音が抑圧されるという特徴がある。このように、垂直信号線 8 15 に現れる電圧を電荷に変換し、電荷領域で引き算をする回路構成もノイズキャンセラと呼ぶことができる。

この型のノイズキャンセラの方法は、例えば図 3 の第 1 の実施例とは異なる。第 1 の実施例では、クランプノード 41 では、電圧領域でノイズがなくなっており、電圧領域でノイズキャンセルをしている。一方、この型では、20 スライストランジスタ 150 のソース端では、電圧領域ではノイズはキャンセルされていないが、第 2 のスライスパルス $S_P 2$ が印加されたとき、はじめてノイズがキャンセルされた電荷がドレインに転送される。すなわち、電荷領域では、ノイズがキャンセルされている。

25 以上説明したように、第 4 実施例によれば、単位セルの出力をノイズキャンセラを介して出力しているので、単位セルの増幅トランジスタの閾値バラツキに応じた固定パターン雑音を取り除くことができる。

さらに、単位セルの出力をスライストランジスタのゲート容量を介してノイズキャンセラに供給しているので、雑音出力時と信号プラス雑音出力時とで、単位セルから見たノイズキャンセラのインピーダンスがほぼ同一である

ため、両出力時で、雑音成分はほぼ同一となり、両者の差分をとると、正確に雑音出力を除去でき、信号成分のみ取り出すことが可能となり、正確にノイズをキャンセルすることができる。また、単位セルからノイズキャンセラを見ると、インピーダンス的にはゲート容量しか見えず、その容量は非常に

5 小さいので、短時間に確実にノイズをキャンセルすることができる。

なお、第2のスライスパルス S P 2 は直前の第1のスライスパルス S P 1 の影響を受けることがある。そのため、第1及び第2のトランジスタの動作に対する第1、第2のスライスパルスの影響を同じにするために、第1のスライスパルス S P 1 の直前にダミースライスパルスを入れることが有効である。また、第1のスライスパルスと第2のスライスパルスの振幅が同じであると、微妙な電圧条件では、微小信号領域で信号電荷が読み出せなくなったり直線性が悪くなったりするので、第1のスライスパルスの振幅に比べ第2のスライスパルスの振幅を大きくし第2のスライスパルスで読み出す電荷にバイアス電荷をはかせる方が動作が安定する。さらに、第1のスライスパルスに比して、第2のスライスパルスの幅を広くする方法も有力である。

第5実施例

図25は、本発明の第5実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP1-i-j付近の回路構成は第1実施例と同じである。

20 第5実施例は図3に示した第1実施例からインピーダンス変換回路を省略した実施例である。

第6実施例

図26、図27は、本発明の第6実施例に係わる増幅型MOSセンサを用いた撮像装置の回路構成図である。単位セルP1-i-j付近の回路構成は第1実施例と同じである。

本実施例は図19に示した第2実施例と共通する部分が多いが、異なる点は、信号プラス雑音出力時と雑音出力時との単位セル側から見たノイズキャンセラのインピーダンスの違いを補正するための容量C CMP 1 6 0 - 1, 1 6 0 - 2, …が、クランプ容量131より撮像領域（単位セル）側に、垂直

信号線 8-1, 8-2, …に対して並列に、スイッチ 162-1, 162-2, …を介して接続されていることである。補正容量 160 とスイッチ 162 は、図 26 の場合にはクランプ容量 131 と撮像領域の間に、また図 27 の場合には撮像領域と負荷トランジスタ 9 との間に接続されている。

5 図 28 は、本実施例における動作タイミングを示す。スイッチ 162 はクランプトランジスタ 132 によるクランプが終了し、垂直信号線に信号が output されている期間にオン状態にする。パルスの位相では、サンプルホールドトランジスタ 133-1, 133-2, …の共通ゲート 143 に印加されるパルスの立ち下がり時に、スイッチングトランジスタ 162-1, 162-2, …の共通ゲート 164 がハイレベルにあることが必須である。また、フォトダイオード選択トランジスタ 22-1 (または 24-1) が立ち上がる前にスイッチングトランジスタ 162-1, 162-2, …の共通ゲート 164 が立ち上がる方が好ましい。ただし、その立ち上がりはクランプパルスの立ち下がりより後でなければならぬ。そうすると、サンプルホールド時に垂直信号線 8 に連なる容量は、サンプルホールド容量 134 を C SH、クランプ容量 131 を C CL とすると、次のようになる。

10 $C = C_{CMP} + C_{SH} \cdot C_{CL} / (C_{CL} + C_{SH})$

15 補正容量 C CMP の大きさを、
 $2 (C_{CL} - C_{CL} \cdot C_{SH} / (C_{CL} + C_{SH})) > C_{CMP} > 0$

20 の範囲で設定すると、補正容量が無い時に比べて、サンプルホールド時に垂直信号線に連なる容量は、クランプ容量 131 の容量 C CL の大きさに近づく。そのため、差分 V CL はより小さくなり、そのため雑音も小さくなる。

25 図 29 に垂直信号線 8 の電位とクランプノード 145 の電位の時間変化を示した。本実施例では、信号が 0 の暗時の場合のように垂直信号線 8 の電位がクランプ時に戻る電位とサンプルホールド時に戻る電位が同じ場合、サンプルホールド終了時点でのクランプノードの電位は、 ΔV_{CL} に近い値まで戻ることなく 0 になる。従って、暗時であり信号が 0 であるのにも拘らず ΔV_{CL} に相当する信号が現れてしまう等の不都合はない。このため、 ΔV_{CL} のばらつきに起因する雑音の発生を未然に防止することができる。

このように本実施例によれば、雑音除去回路付きMOS型固体撮像素子において、垂直信号線8に補正容量160を設けることにより、雑音が発生する原因であった雑音除去動作中の容量変化を抑制することができ、より一層の雑音低下に寄与することが可能となる。すなわち、セルから見たインピーダンスがフォトダイオード選択後の信号プラスノイズ出力時と、リセット終了後のノイズ出力時で同一になり、正確にノイズキャンセルができる。

なお、第6実施例の変形例として、図3に示した第1実施例、図21に示した第3実施例。図25に示した第5実施例のノイズキャンセラにおいて、補正用容量を接続してもよい。

10 第2実施例～第6実施例としては、第1実施例に対してノイズキャンセラ回路部分が異なる実施例を説明したが、次に、第1～第6実施例に対して単位セルの構成が異なる他の実施例を説明する。

第7実施例

全体の構成は図3に示した第1実施例と同じであるので、図示省略する。

15 ただし、図3の単位セルP1の代わりに図30に示した単位セルP2を用いることが特徴である。

本実施例の単位セルP2の特徴は、フォトダイオード62a, 62bが、垂直方向ではなく、水平方向に隣合って配置されており、それぞれがフォトダイオード選択トランジスタ63a, 63bを介してリセットトランジスタ

20 66のソースと、増幅トランジスタ64のゲートに接続され、1つの出力回路68を共有していることである。

次に、図31のタイミングチャートを参照して、動作について説明する。

まず、水平プランキング期間において、先ず、垂直アドレス線6-1及びフォトダイオード選択線22-1をハイレベルにし、垂直選択トランジスタ

25 65及びフォトダイオード選択トランジスタ63aをオンにする。

この結果、フォトダイオード62aとほぼ同等の電圧が増幅トランジスタ64のゲートに現れる。さらに、増幅トランジスタ64と負荷トランジスタ9-1でソースフォロワが形成され、増幅トランジスタ64のゲート電圧とほぼ等しい電圧が垂直信号線8-1に現れる。

次いで、垂直アドレスパルス 6-1 をロウレベルにし、垂直選択トランジスタ 6-5 をオフにする。この結果、ソースフォロワは動作しなくなるが、垂直信号線 8-1 の電位が直ちに変化することではなく、リセット前の増幅トランジスタ 6-4 のゲート電圧とほぼ等しい電圧が保たれる。

5 次いで、リセット線 7-1 をハイレベルにし、リセットトランジスタ 6-6 をオンにし、増幅トランジスタ 6-4 のゲート及びフォトダイオード 6-2a の電位を初期化する。

また、水平アドレス回路 1-3 から水平アドレスパルスを水平選択トランジスタ 1-2-1 のゲートに印加し、水平信号線 1-5 から、フォトダイオード 6-3a の信号を取り出す。

10 次に、同一の水平プランキング期間内において、上述と同様な動作において、フォトダイオード選択トランジスタ 6-3a の代わりにフォトダイオード選択トランジスタ 6-3b をオンする。この結果、水平信号線 1-5 から、フォトダイオード 6-3b の信号を取り出す。

15 図示していないが、この水平プランキング期間内において、同じ垂直アドレスの下で水平アドレスを順次変更して 1 行分の信号を順次取り出す。次の水平プランキング期間内に次の垂直アドレスについて同様の動作を行い、順次、各行の信号を取り出す。

20 このように、本実施例に係るMOS型固体撮像装置によれば、第 1 実施例の効果に加えて、ある 1 フレーム期間中には、垂直アドレス線がオン・オフするのは、ある 1 つの水平期間だけであるので、垂直アドレス線の制御（垂直アドレス回路の構成）が簡単であるという利点がある。

25 第 7 実施例も第 1 実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図 3 ～図 29 の説明は第 7 実施例にも等しく適用できる。また、第 7 実施例の単位セルに含まれる水平方向に隣接するフォトダイオードの数も 2 つに限らず、3 つ以上でも良い。図 18 に示すように、出力回路は垂直選択トランジスタの代わりに垂直選択容量を用いても良い。

第 8 実施例

図 32 は第 8 実施例に係るMOS型固体撮像装置の構成を示す。単位セル

P₃ - i - j が縦、横に 2 次元マトリクス状に配列されている。

図 3 3 は、図 3 2 に示した単位セル P₃ - 1 - 1 の構成を示す図である。

ここでは、単位セル P₃ - 1 - 1 の構成のみを示すが、他の単位セル P₃ - 1 - 2 、～についても同様の構成が採用されている。

5 同図に示すように、本実施例のMOS型固体撮像装置の単位セルは、4 個のフォトダイオード 62a～62d、4 個のフォトダイオード選択トランジスタ 63a～63d、1 つの出力回路 68 から構成されている。4 個のフォトダイオードは 2 行 2 列のマトリクス状に配置されている。

10 フォトダイオード 62a～62d は、それぞれ選択トランジスタ 63a～63d を介して共通の出力回路 68 に接続されている。選択トランジスタ 63a～63d は垂直アドレス回路 5 から水平方向に配設されているフォトダイオード選択線 22-1, 24-1, 172-1, 174-1 により独立してオンオフ制御される。

15 このように、4 つのフォトダイオード 62a～62d に対して共通の出力回路 64 を接続して単位セル P₁ - 1 - 1 を構成することにより、従来のMOS型固体撮像装置の単位セルと比較して、三つの出力回路を省略することができる。

20 このように、本実施例に係るMOS型固体撮像装置によれば、第 1 実施例、第 2 実施例を組み合わせた効果を得ることができる。

25 第 8 実施例も第 1 実施例と同様にノイズキャンセラ部分を変形することができる。すなわち、図 3 ～図 29 の説明は第 8 実施例にも等しく適用できる。また、第 8 実施例の単位セルに含まれるフォトダイオードの数も 2 行 2 列に限らず、3 つ以上のマトリクスでもよいし、正方形のマトリクスでなくても良い。図 18 に示すように、出力回路は垂直選択トランジスタの代わりに垂直選択容量を用いても良い。

本発明は上述した実施例に限定されず、種々変形して実施可能である。例えば、単位セルの増幅トランジスタを閾値バラツキがないように製造できれば、固定パターン雑音は発生しないので、ノイズキャンセラは省略することができる。あるいは、固定パターン雑音が発生しても、画質に影響が無けれ

ば、同じくノイズキャンセラは省略することができる。この場合は、図1のような回路が垂直信号線と出力端子15の間に接続される。

負荷トランジスタのゲートとソースは同一の電源ラインに接続されているが、別々の電源に接続してもよい。これにより、流れる電流を制御することができる、消費電力を下げることができる。

各実施例のノイズキャンセラにおいては、入力信号がないときに読み出す信号電流（雑音成分のみ）が小さい方が雑音が少ないので、蓄積ドレイン電源端子に印加されている電圧とビデオバイアス電圧とをほぼ等しくすることが好ましい。ビデオバイアス電圧とは、水平信号線15から信号を電流で読み出すときに水平信号線15がほぼ固定される電圧である。これを実現した変形例を図34に示す。出力信号線15にオペアンプ176が接続され、オペアンプ176の入出力端間に負荷抵抗178が接続される。これによると、信号電流が強制的に負荷抵抗178に流され、水平信号線15は仮想的にある電圧、すなわちビデオバイアス電圧に固定される。

さらに、単位セルは2次元マトリクス状に配列した実施例を説明したが、本発明は単位セルを1次元アレイ状に配列する撮像装置にも適用できることは言うまでもない。この場合、単位セル内のフォトダイオードの配列は単位セルの配列とは無関係に、垂直方向、水平方向、両方向にマトリクス状に配列することが可能である。

20

産業上の利用可能性

以上のように本発明によれば、微細化することが可能なMOS型固体撮像装置が提供される。

請求の範囲

1. 配列されている多数の単位セルと、単位セルを選択する手段とを具備するMOS型固体撮像装置において、
前記単位セルは
 - 5 複数の光電変換部と、
前記複数の光電変換部にそれぞれ接続され、いずれか1つの光電変換部の出力信号を選択する複数の選択手段と、
前記複数の選択手段により選択されたいずれか1つの光電変換部の出力信号が入力され、該出力信号を增幅して単位セルから出力する出力手段とを具備するMOS型固体撮像装置。
 - 10 2. 前記複数の光電変換部は前記出力手段に対して並列に接続されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。
 - 15 3. 前記複数の光電変換部と前記複数の選択手段は直列に接続されていることを特徴とする請求の範囲第2項記載のMOS型固体撮像装置。
 - 20 4. 前記単位セルは2次元マトリクス状に配列され、前記単位セル内の複数の光電変換部は垂直方向に配列されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。
 - 25 5. 単位セルの行を選択するとともに、前記選択手段を制御する垂直選択手段と、単位セルの列を選択する水平選択手段とをさらに具備することを特徴とする請求の範囲第4項記載のMOS型固体撮像装置。
 6. 前記単位セルは2次元マトリクス状に配列され、前記単位セル内の複数の光電変換部は水平方向に配列されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。
 7. 単位セルの行を選択するとともに、前記選択手段を制御する垂直選択手段と、単位セルの列を選択する水平選択手段とをさらに具備することを特徴とする請求の範囲第6項記載のMOS型固体撮像装置。
 8. 前記単位セルは2次元マトリクス状に配列され、前記単位セル内の複数の光電変換部は2次元マトリクス状に配列されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

9. 単位セルの行を選択するとともに、前記選択手段を制御する垂直選択手段と、単位セルの列を選択する水平選択手段とをさらに具備することを特徴とする請求の範囲第8項記載のMOS型固体撮像装置。

10. 前記単位セルは1次元アレイ状に配列され、前記単位セル内の複数の光電変換部はアレイと直交する方向に配列されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

11. 前記単位セルは1次元アレイ状に配列され、前記単位セル内の複数の光電変換部はアレイに沿った方向に配列されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

12. 前記単位セルは1次元アレイ状に配列され、前記単位セル内の複数の光電変換部はマトリクス状に配列されていることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

13. 前記単位セルは、前記複数の選択手段により選択されたいずれか1つの光電変換部の出力信号を增幅する增幅トランジスタと、該光電変換部の出力信号をリセットするリセットトランジスタと、前記增幅トランジスタを選択する選択トランジスタからなることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

14. 前記単位セルは、前記複数の選択手段により選択されたいずれか1つの光電変換部の出力信号を增幅する增幅トランジスタと、該光電変換部の出力信号をリセットするリセットトランジスタと、前記增幅トランジスタを選択する選択容量からなることを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

15. 半導体基板に複数の単位セルが形成されたMOS型固体撮像装置において、

25. 前記半導体基板は、p-型不純物基体と、前記p-型不純物基体に形成されたp+型不純物層とからなり、
前記単位セルが前記p+型不純物層に形成されている。

16. 半導体基板に複数の単位セルが形成されたMOS型固体撮像装置において、

前記半導体基板は、p-型不純物基体と、前記p-型不純物基体に形成されたp+型不純物層とからなり、

前記単位セルは

複数の光電変換部と、

5 前記複数の光電変換部にそれぞれ接続され、いずれか1つの光電変換部の出力信号を選択する複数の選択手段と、

前記複数の選択手段により選択されたいずれか1つの光電変換部の出力信号が入力され、該出力信号を増幅して単位セルから出力する出力手段とを具備するMOS型固体撮像装置。

10 17. 入射光に応じた電荷を発生する複数の光電変換部と、

前記複数の光電変換部が並列に接続され、いずれか1つの光電変換部から発生された電荷に対応する電圧信号を出力する信号出力手段とを具備する複数の単位セルが半導体基板の表面領域に形成されたMOS型固体撮像装置の駆動方法において、

15 前記信号出力手段はテレビジョン信号の1フレーム期間内に前記電圧信号を出力する動作を少なくとも2回以上行なうことを特徴とするMOS型固体撮像装置の駆動方法。

18. 多数の単位セルの出力手段の増幅特性のバラツキを補償する手段をさらに具備することを特徴とする請求の範囲第1項記載のMOS型固体撮像装置。

19. 前記補償手段は前記単位セルの出力から雑音成分のみを減算するノイズキャンセラを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

20. 前記補償手段は前記単位セルの出力を表す電荷から雑音成分のみを表す電荷を減算するノイズキャンセラを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

21. 前記補償手段は、前記単位セルの出力信号が供給されるソースフォロワ回路と、ソースフォロワ回路の出力信号がサンプルホールドトランジスタ、クランプ容量を介して供給されるサンプルホールド容量と、サンプルホ

ールド容量とクランプ容量との接続点に接続され、接続点をオン・オフするサンプルホールドトランジスタとを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

22. 前記サンプルホールド容量とクランプ容量とは積層されることを特徴とする請求の範囲第21項記載のMOS型固体撮像装置。

23. 前記補償手段は、前記単位セルの出力信号がクランプ容量、サンプルホールドトランジスタを介して供給されるサンプルホールド容量と、クランプ容量とサンプルホールドトランジスタとの接続点に接続され、クランプ容量をオン・オフするクランプトランジスタとを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

24. 前記補償手段は、クランプ容量のオン・オフ時のインピーダンスの差を小さくする補正手段を具備することを特徴とする請求の範囲第23項記載のMOS型固体撮像装置。

25. 前記補正手段は、クランプトランジスタのオフ時にクランプ容量を増加するための補正容量を具備することを特徴とする請求の範囲第24項記載のMOS型固体撮像装置。

26. 前記補償手段は、前記単位セルの出力信号が供給されるソースフォロワ回路と、ソースフォロワ回路の出力信号がクランプ容量、サンプルホールドトランジスタを介して供給されるサンプルホールド容量と、クランプ容量とサンプルホールドトランジスタとの接続点に接続され、クランプ容量をオン・オフするクランプトランジスタとを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

27. 前記補償手段は、前記単位セルの出力信号がゲートに供給されるスライストランジスタと、スライストランジスタのソースに接続されるスライス容量及びスライスリセットトランジスタと、スライストランジスタのドレインに接続されるスライス電荷転送容量及びドレインリセットトランジスタとを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

28. 前記補償手段は、前記単位セルの出力信号がサンプルホールドトランジスタとを介して供給されるサンプルホールド容量と、クランプ容量との接続点に接続され、接続点をオン・オフするクランプトランジスタとを具備することを特徴とする請求の範囲第18項記載のMOS型固体撮像装置。

ンジスタ、クランプ容量を介して供給されるサンプルホールド容量と、サンプルホールド容量とクランプ容量との接続点に接続され、接続点をオン・オフするサンプルホールドトランジスタとを具備することを特徴とする請求範囲第18項記載のMOS型固体撮像装置。

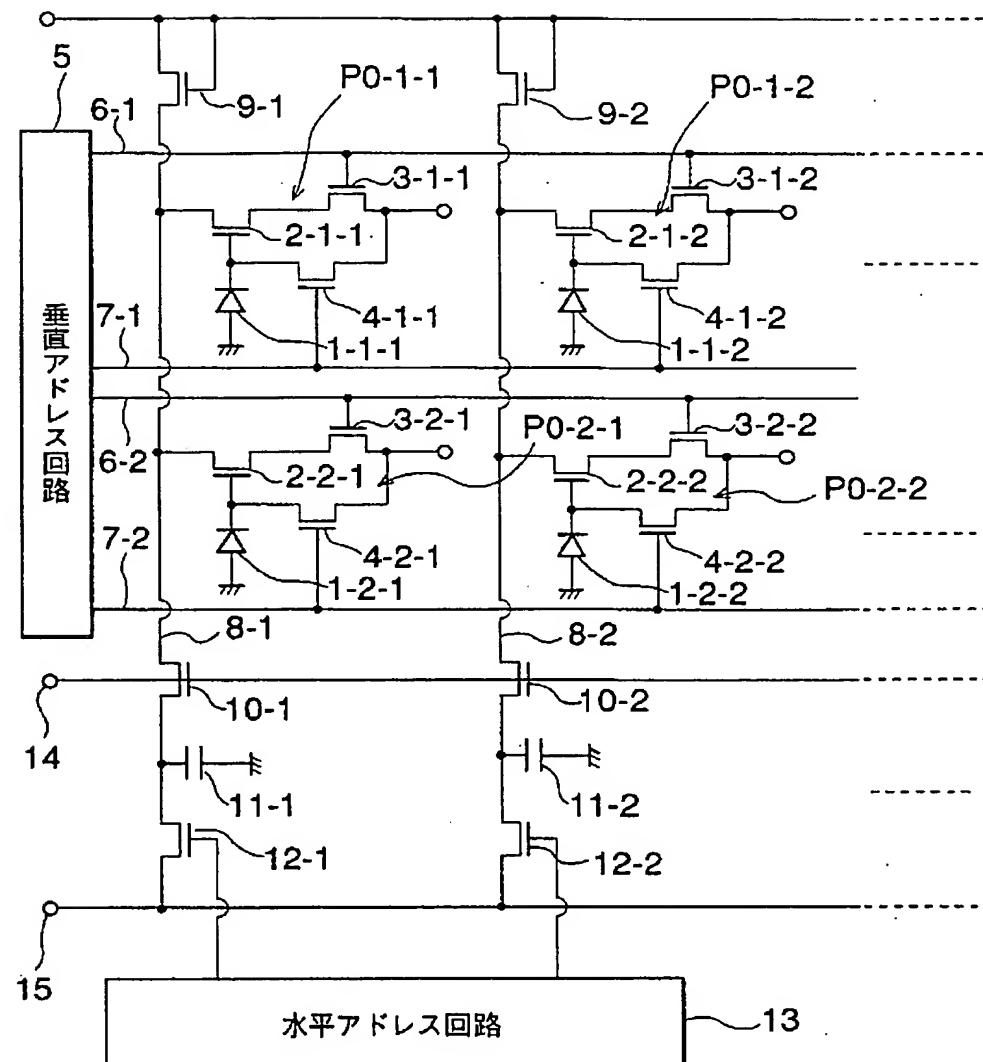


FIG. 1

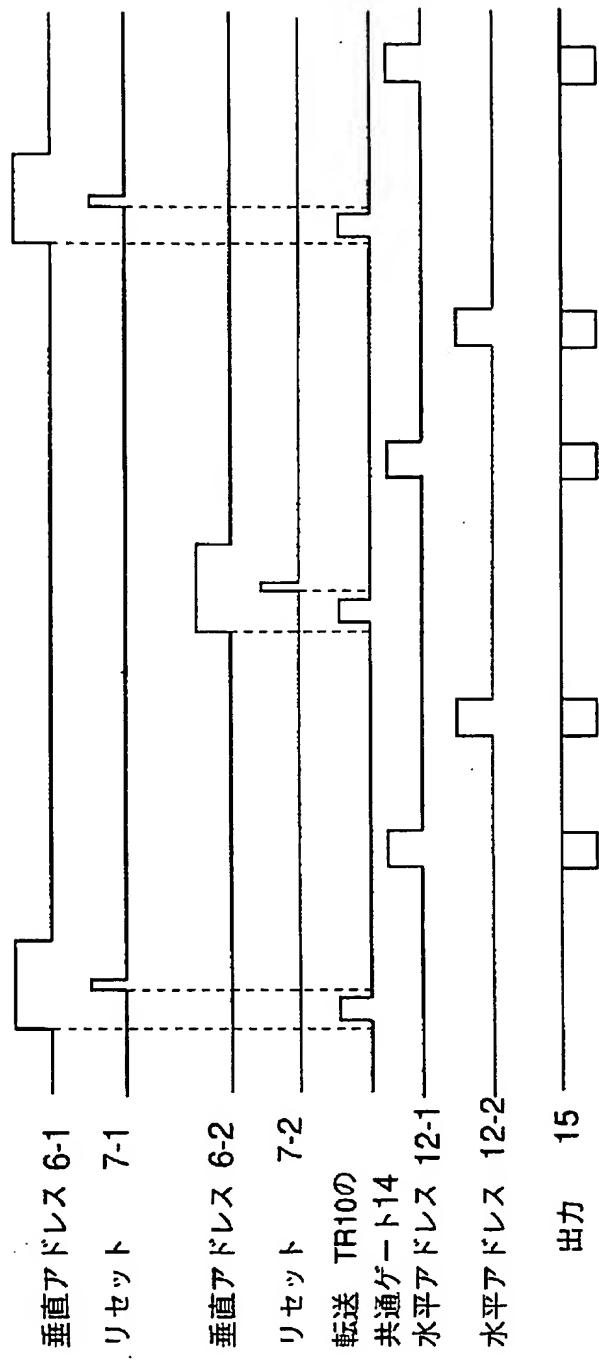


FIG. 2

3/29

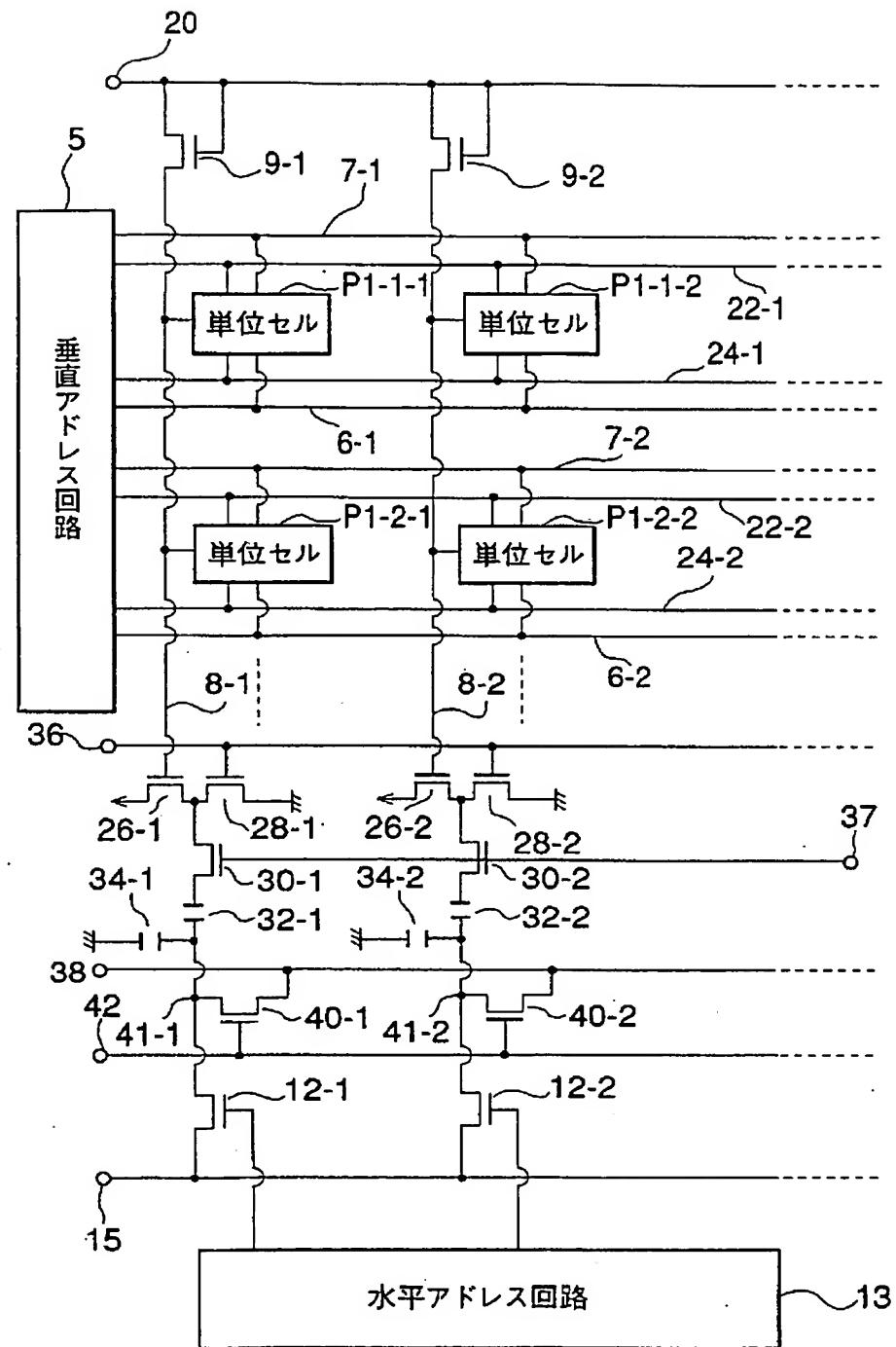


FIG. 3

4 / 29

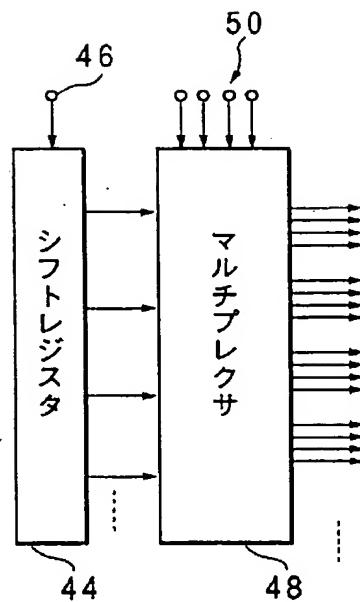


FIG.4

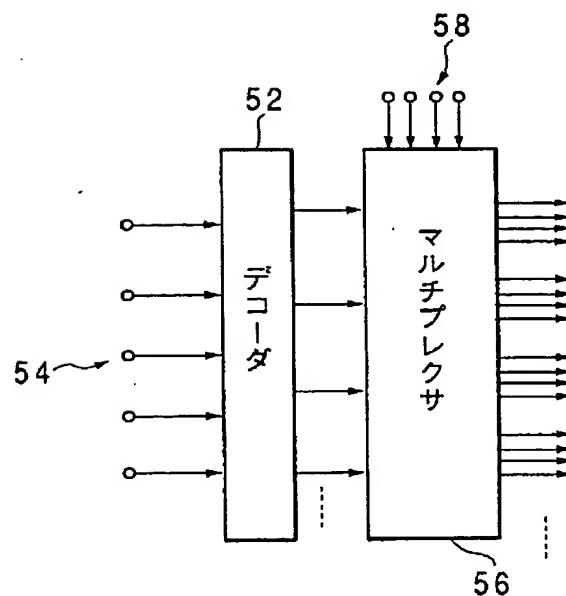


FIG.5

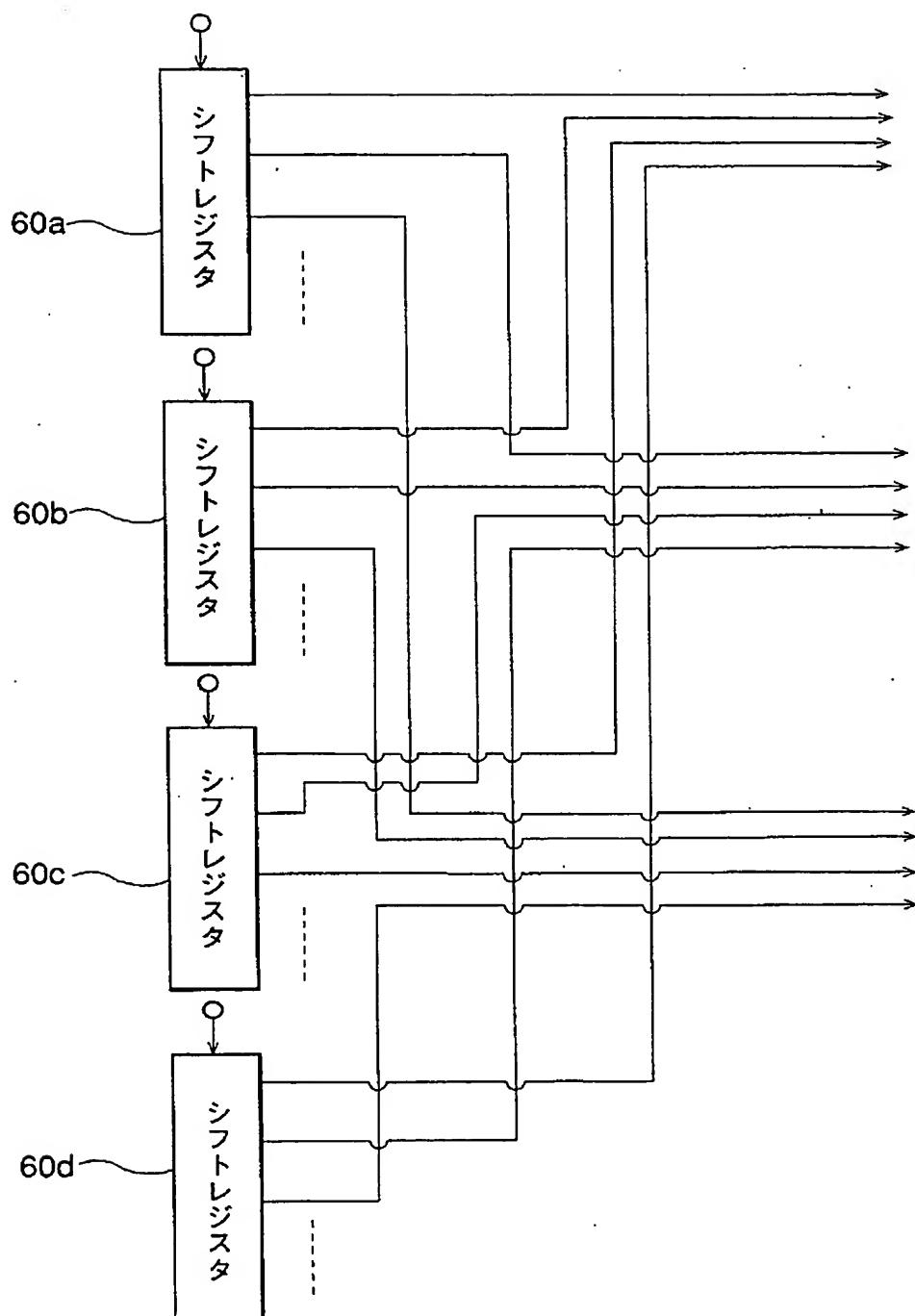


FIG. 6

6/29

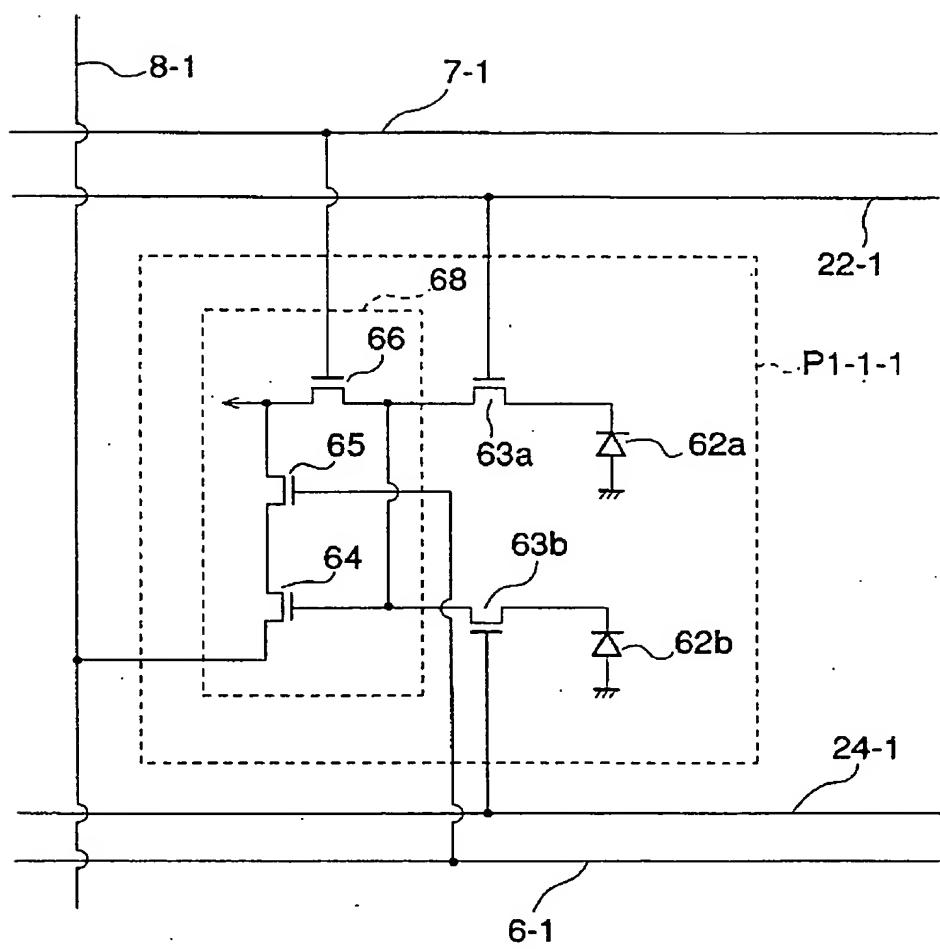


FIG. 7

7/29

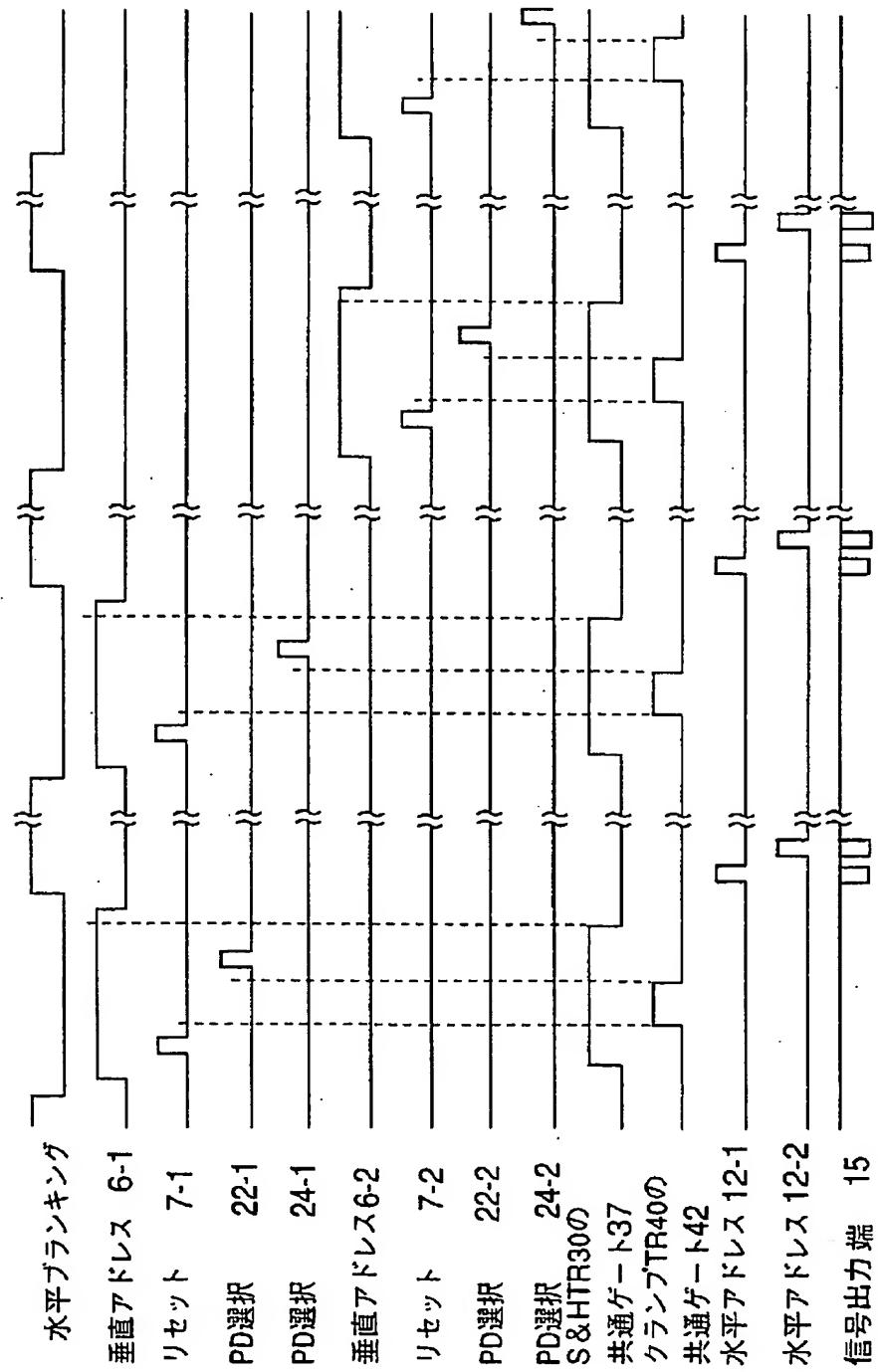


FIG. 8

8/29

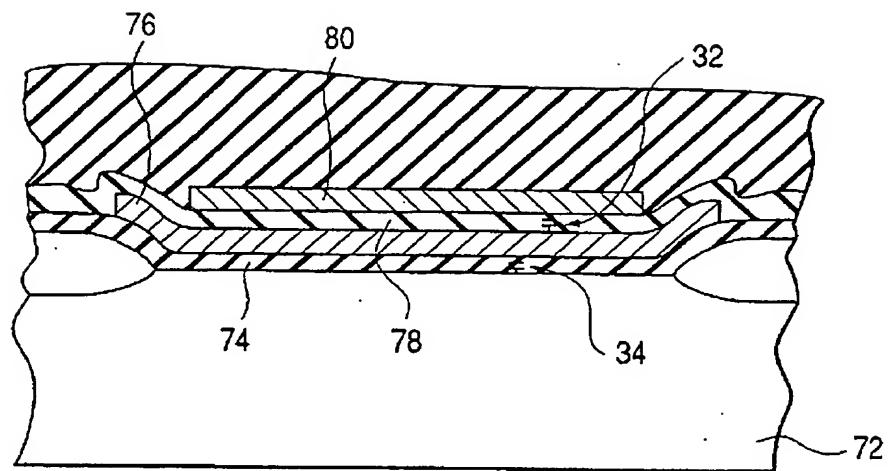


FIG.9

9/29

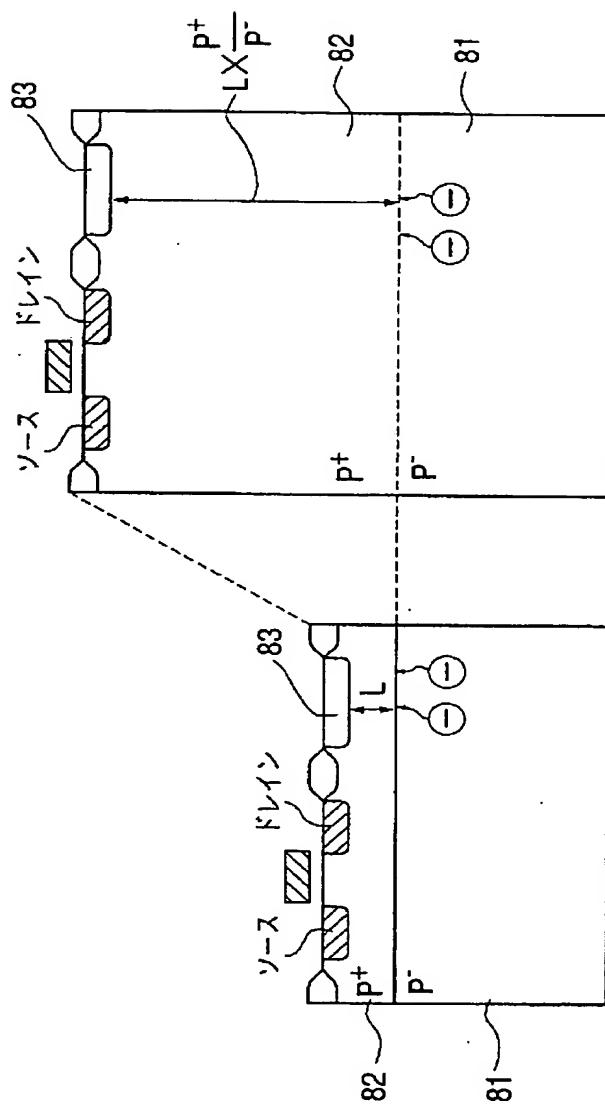


FIG.10A

FIG.10B

10/29

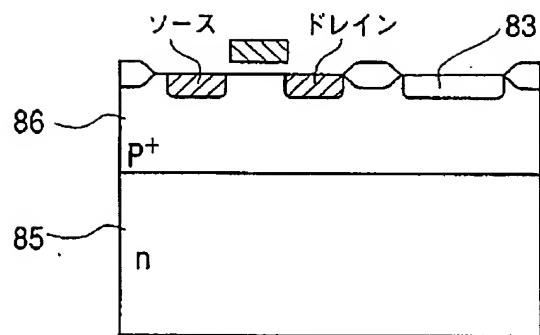


FIG.11

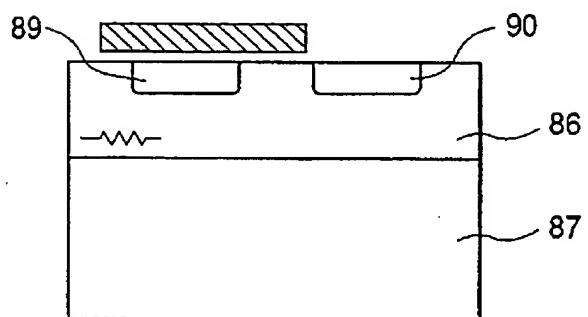


FIG.12

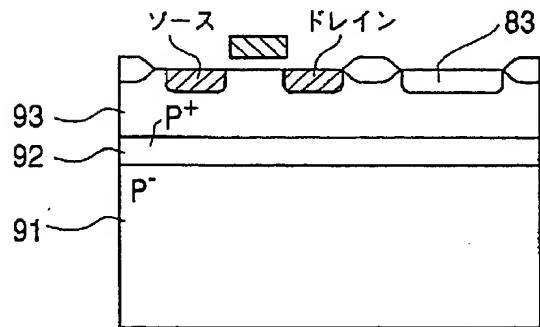


FIG.13

11/29

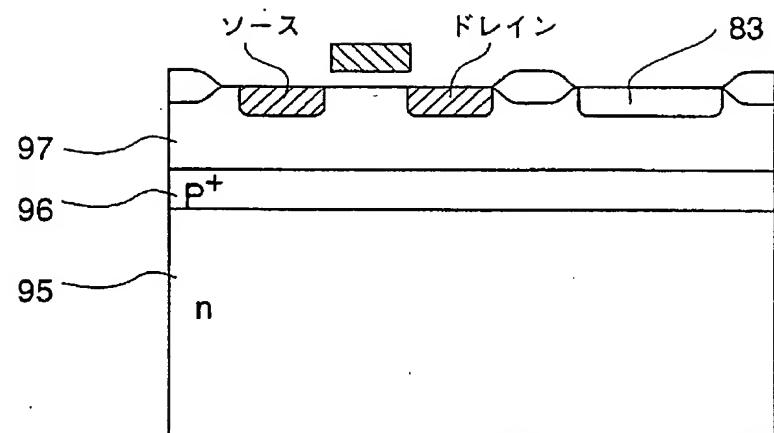


FIG.14

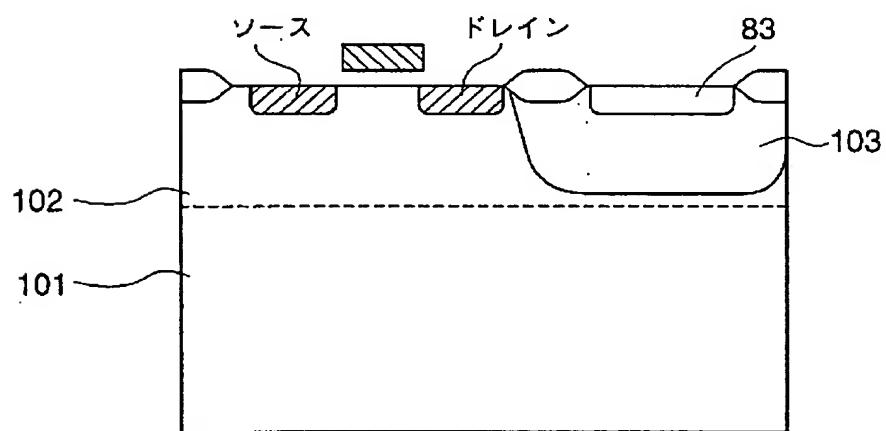


FIG.15

12/29

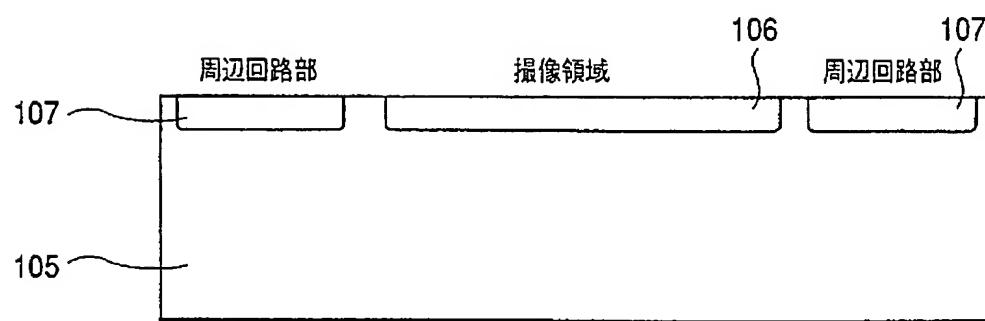


FIG.16

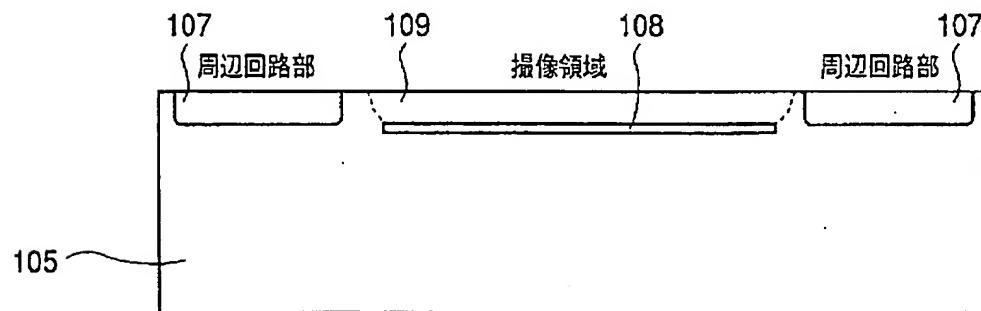


FIG.17

13/29

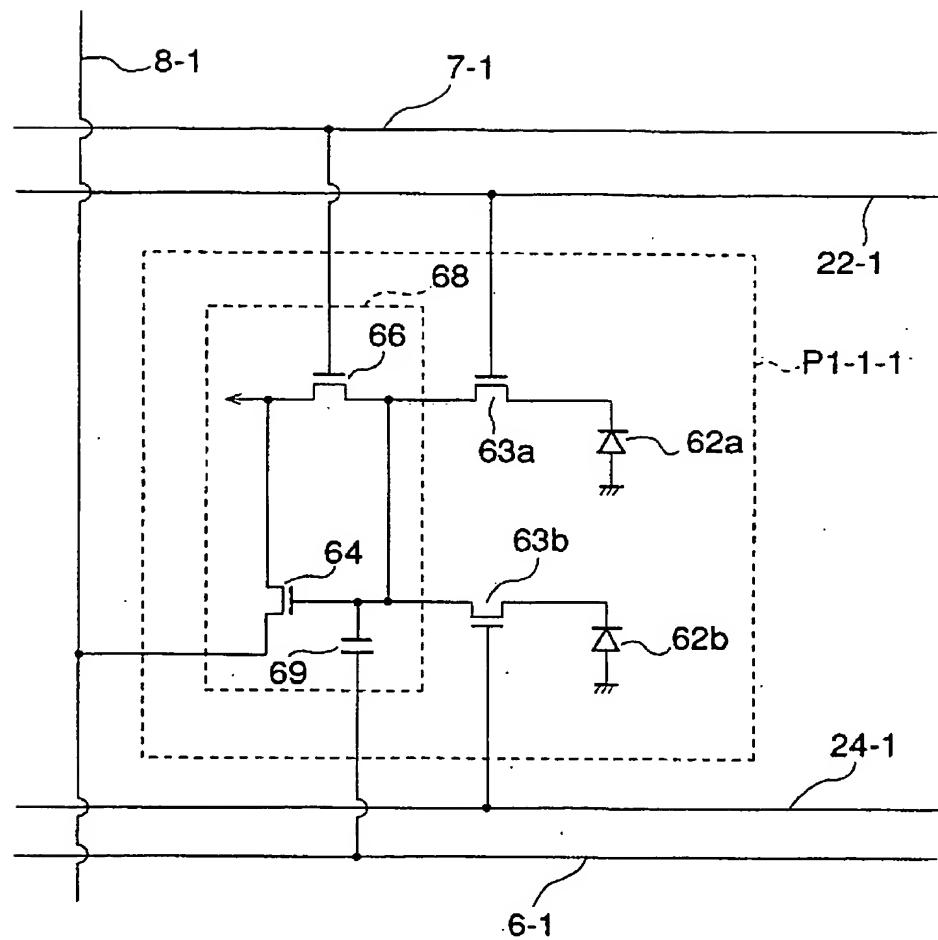


FIG. 18

14/29

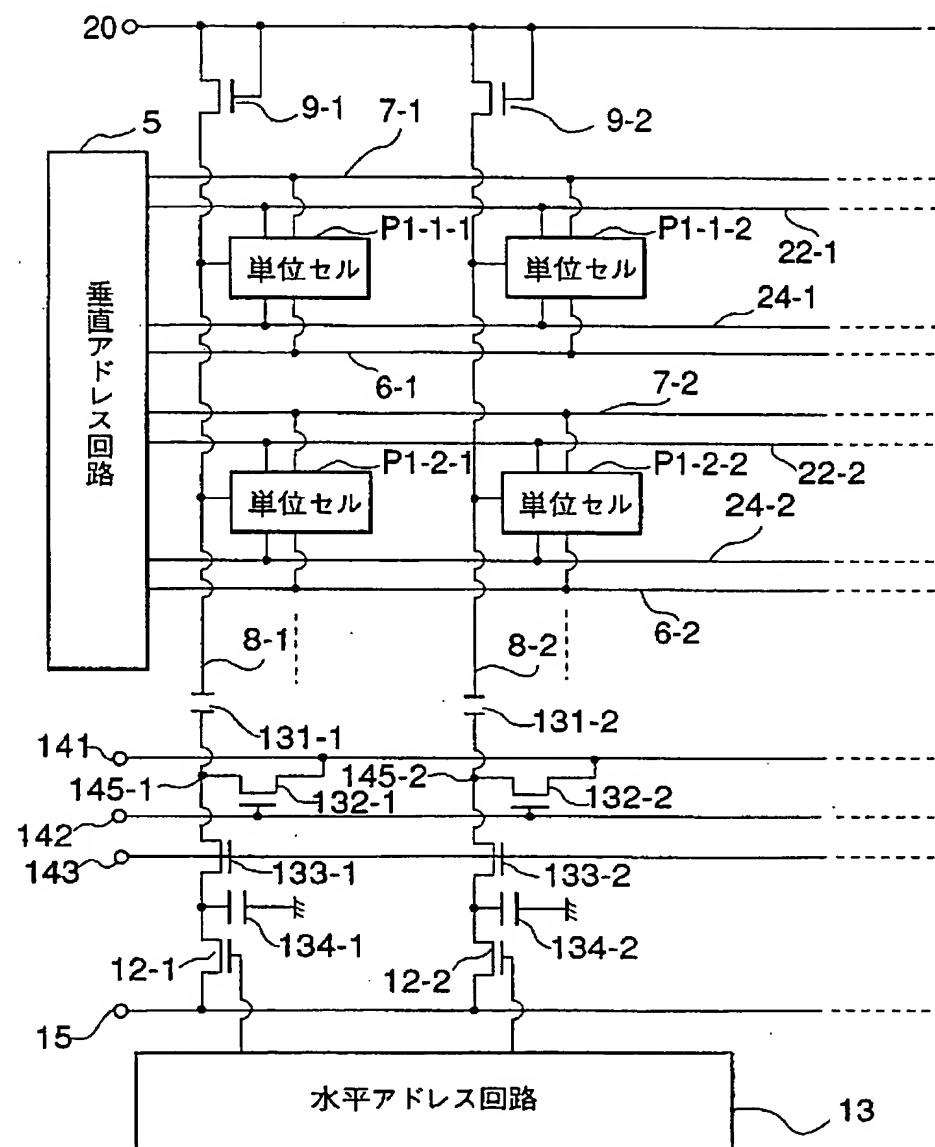


FIG. 19

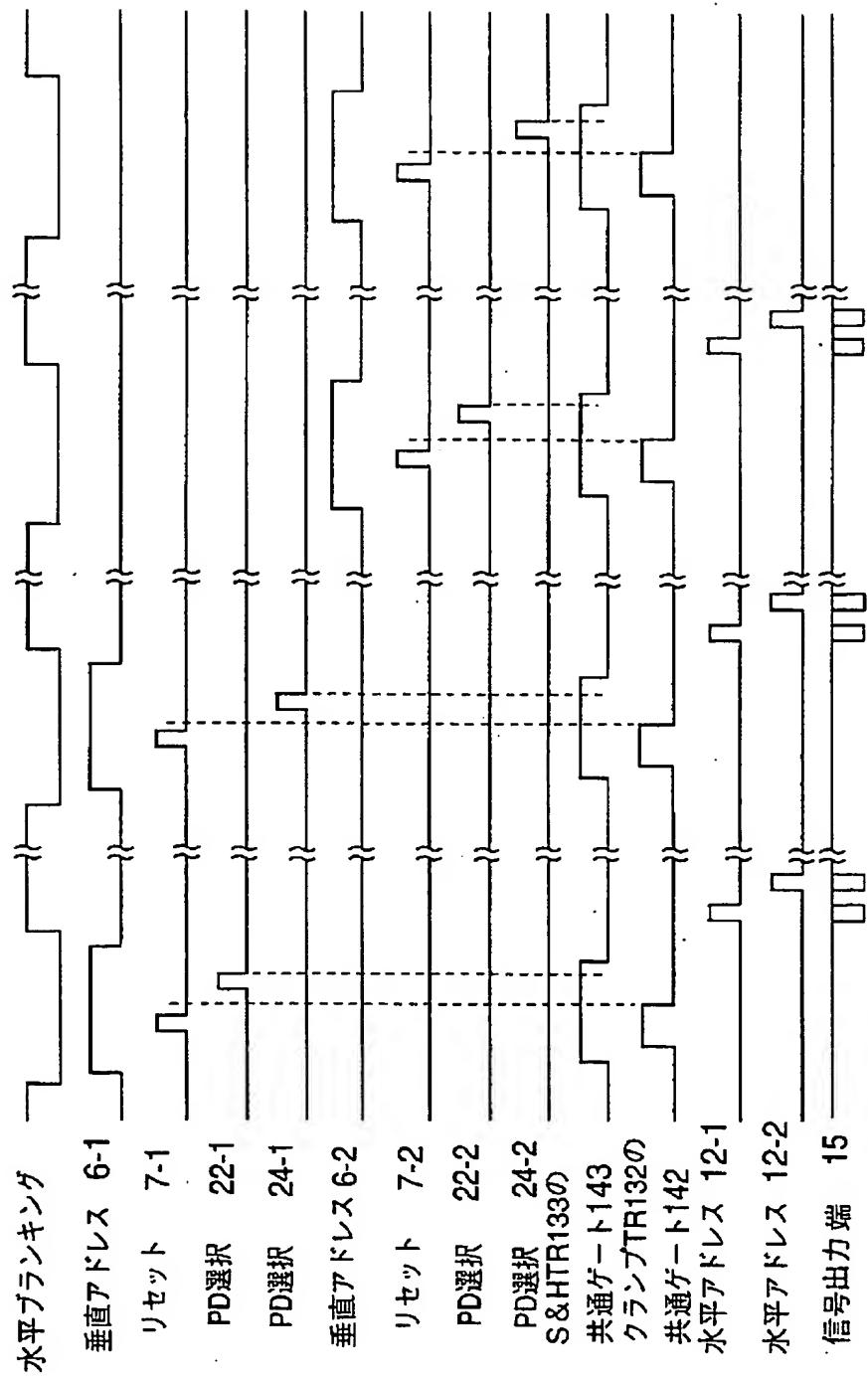


FIG. 20

16/29

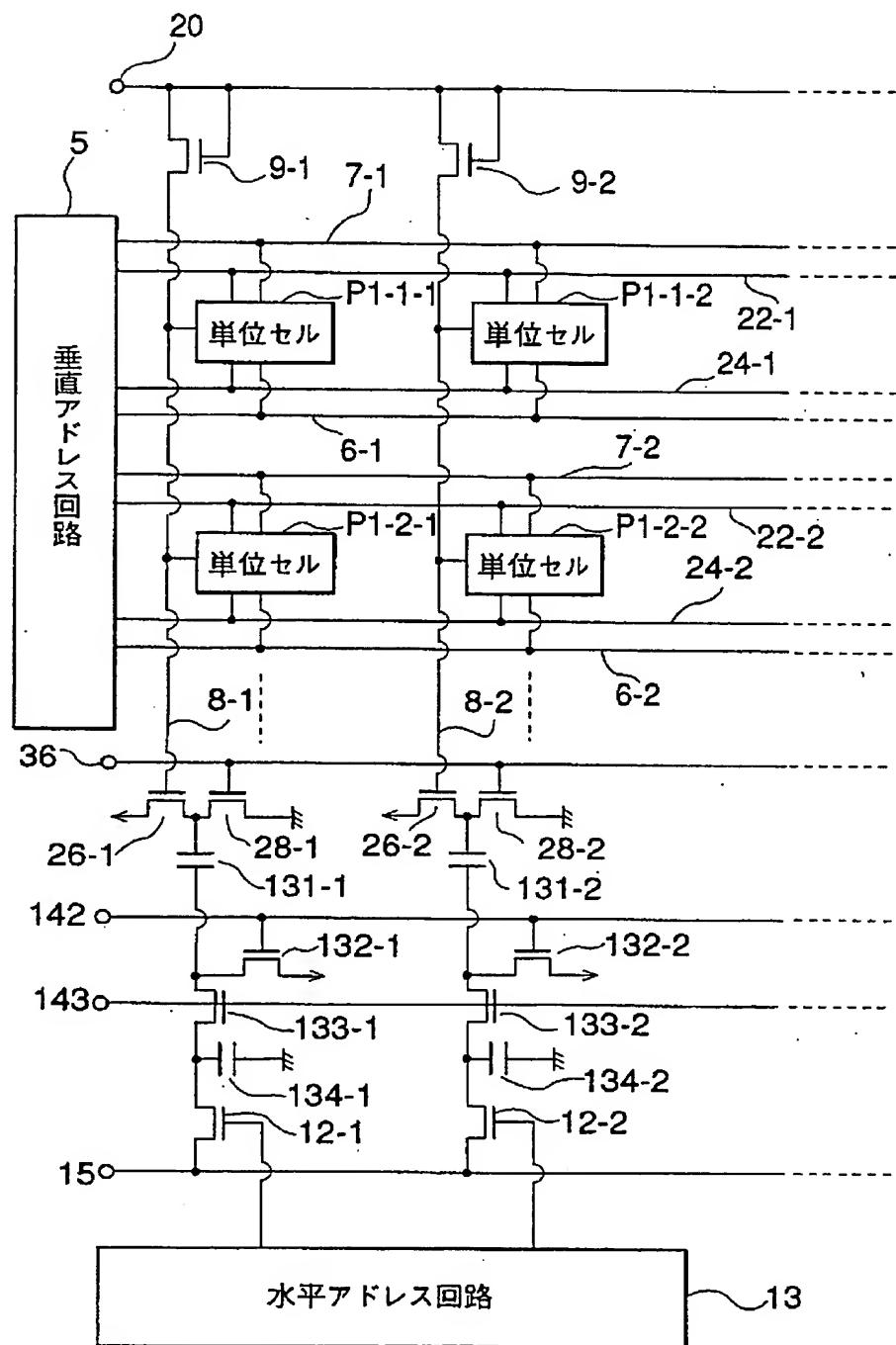


FIG. 21

17/29

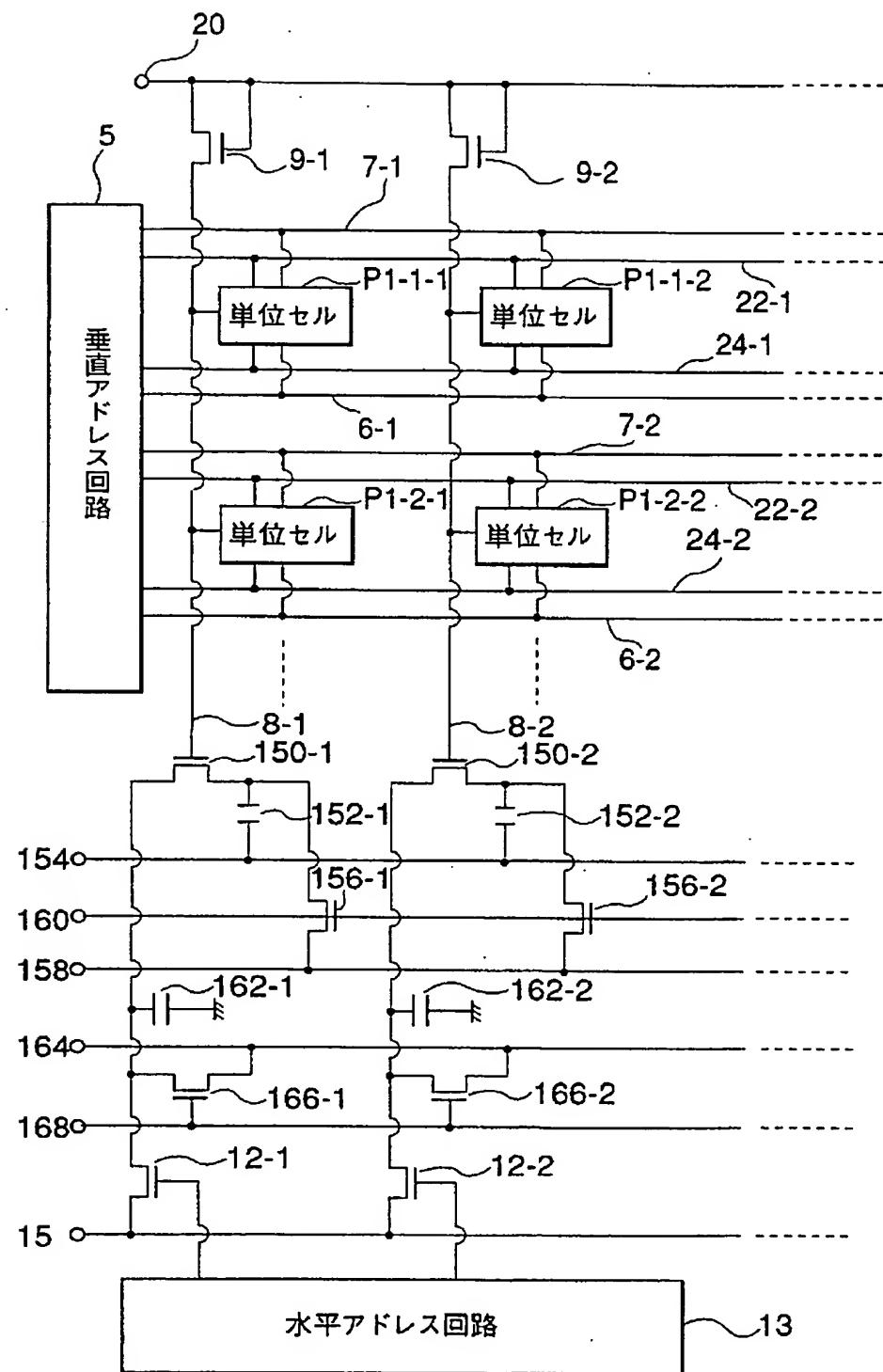


FIG. 22

18/29

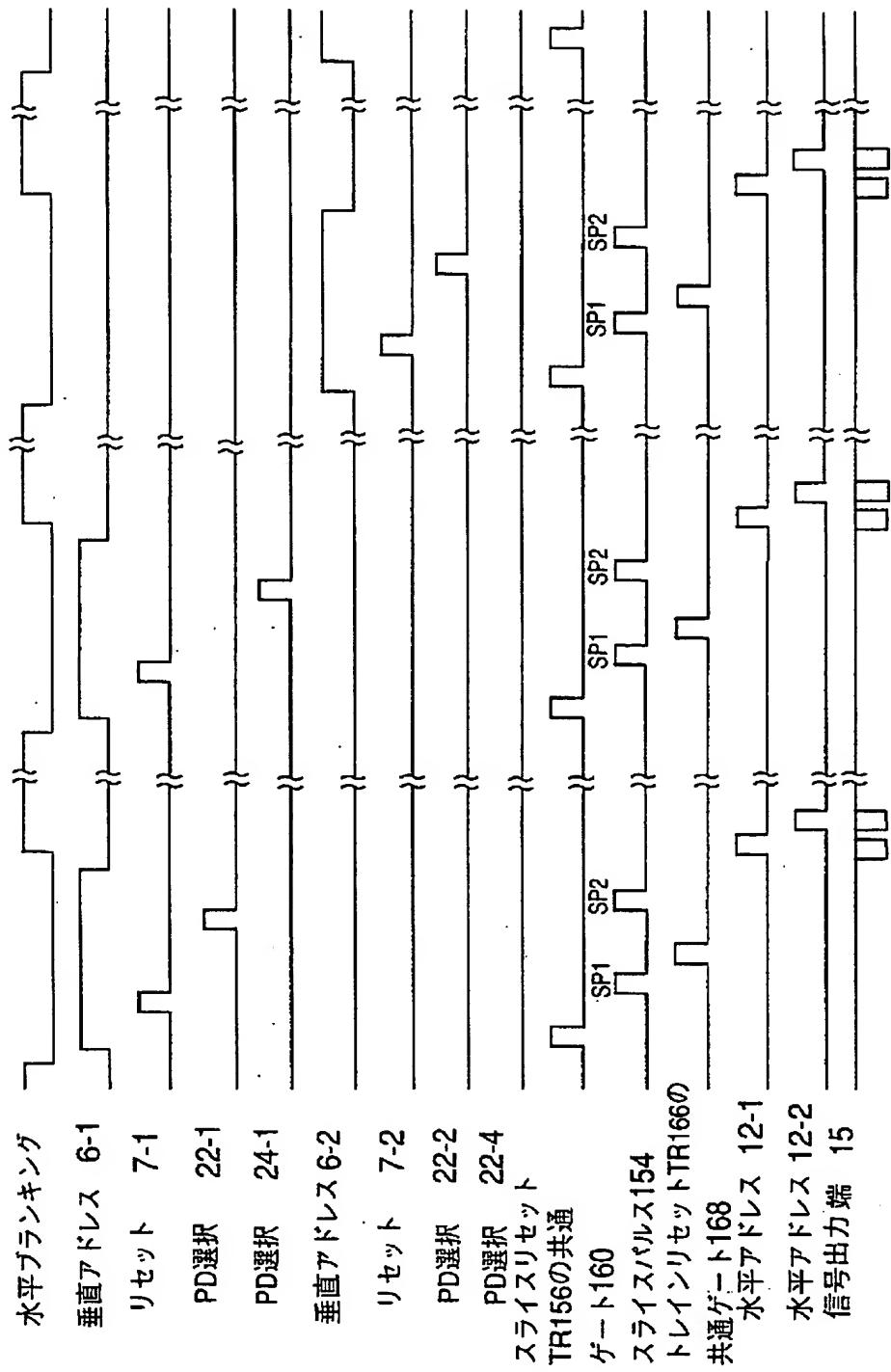


FIG. 23

19/29

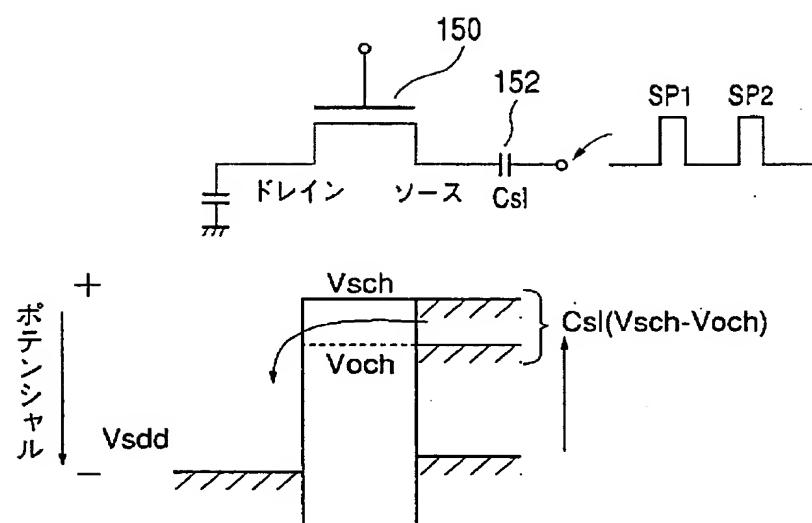


FIG.24

20/29

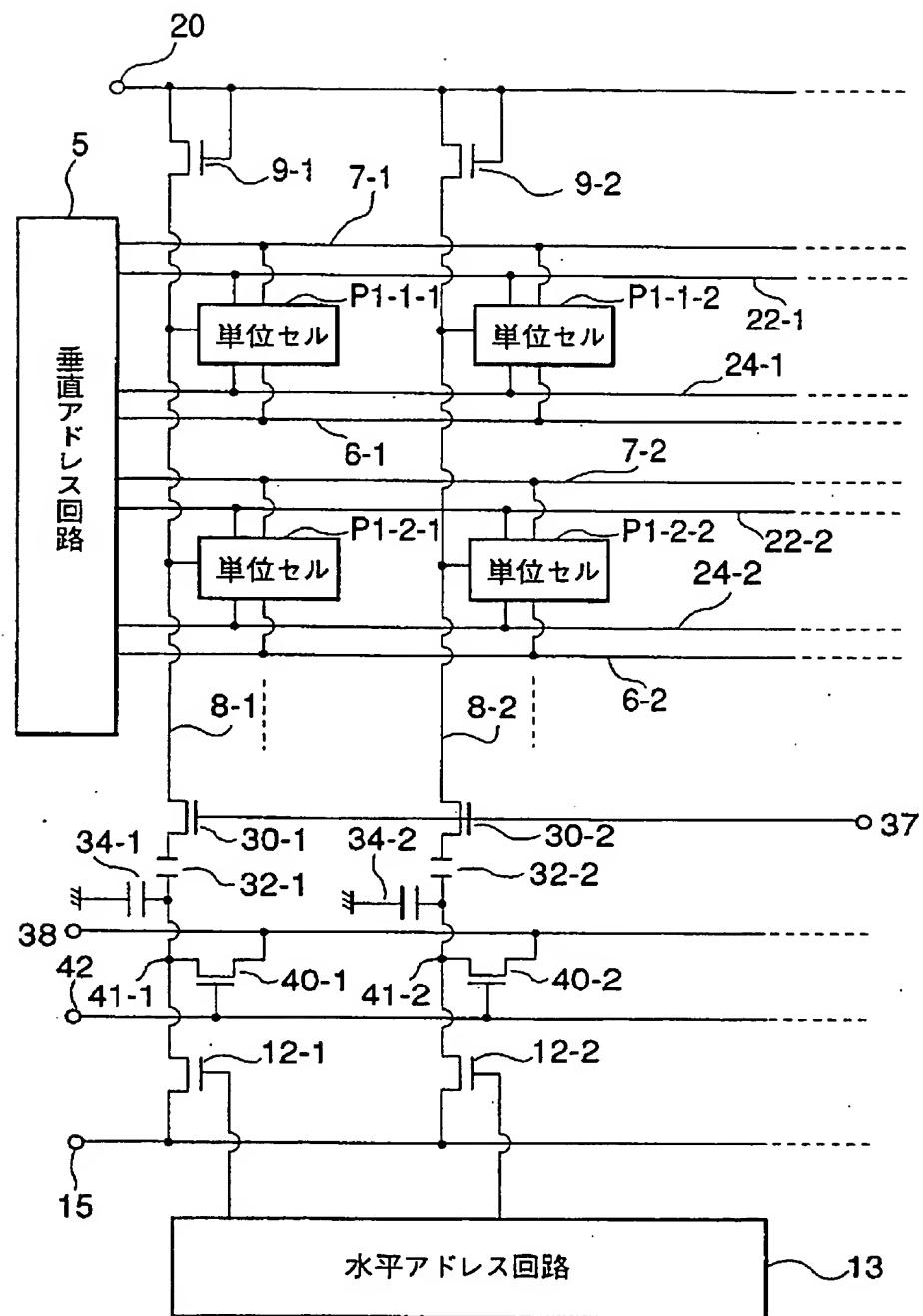


FIG. 25

21/29

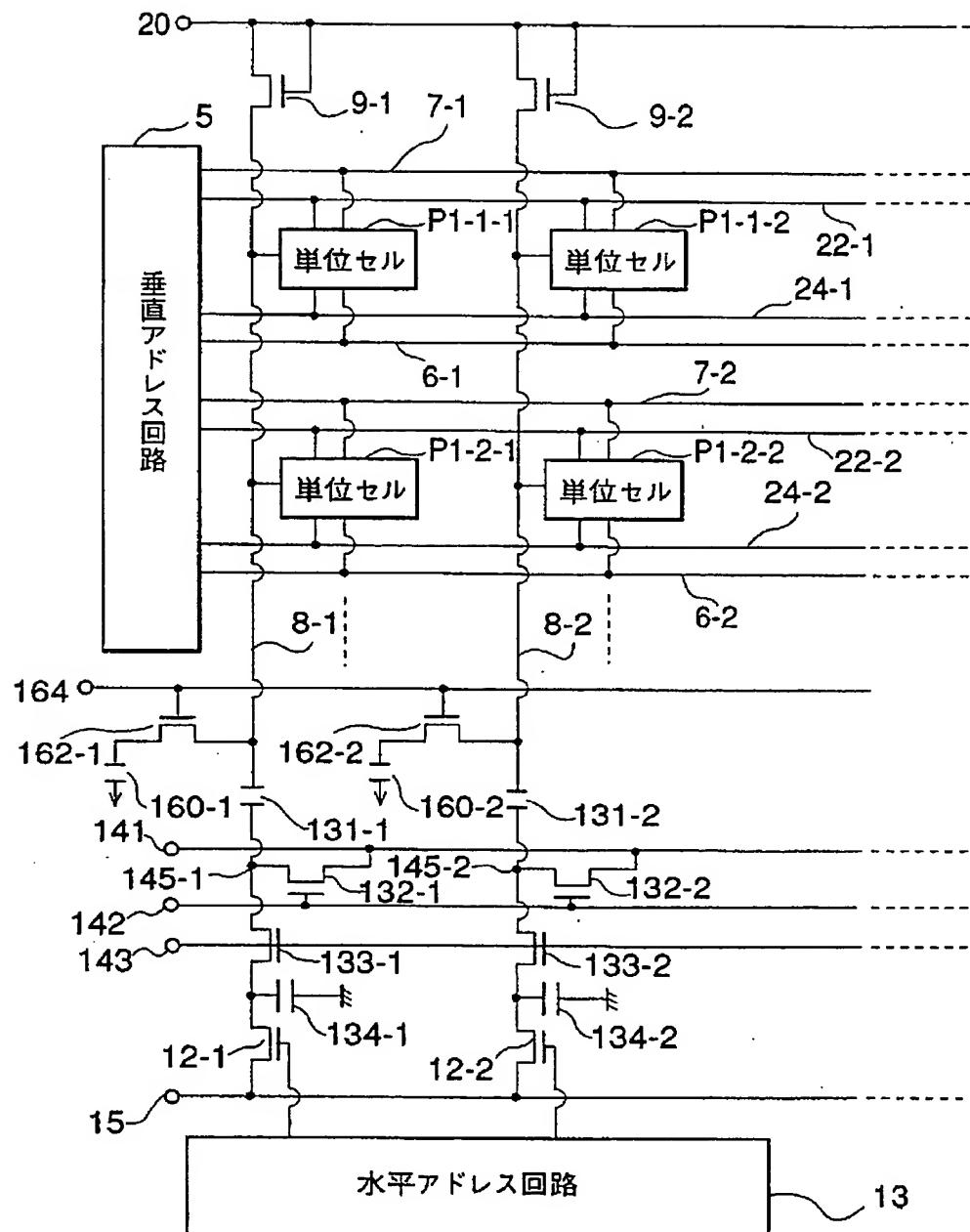


FIG. 26

22/29

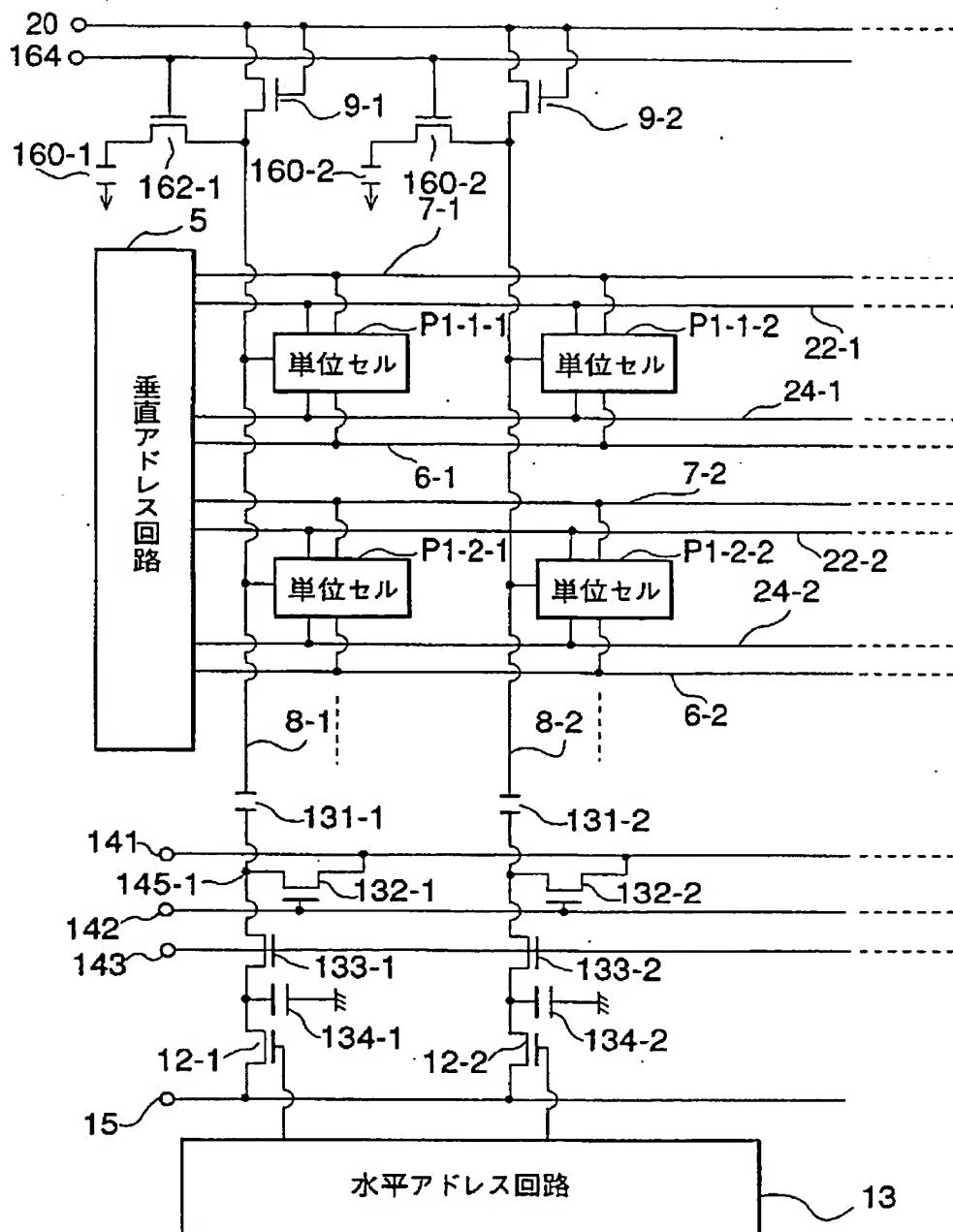


FIG. 27

23/29

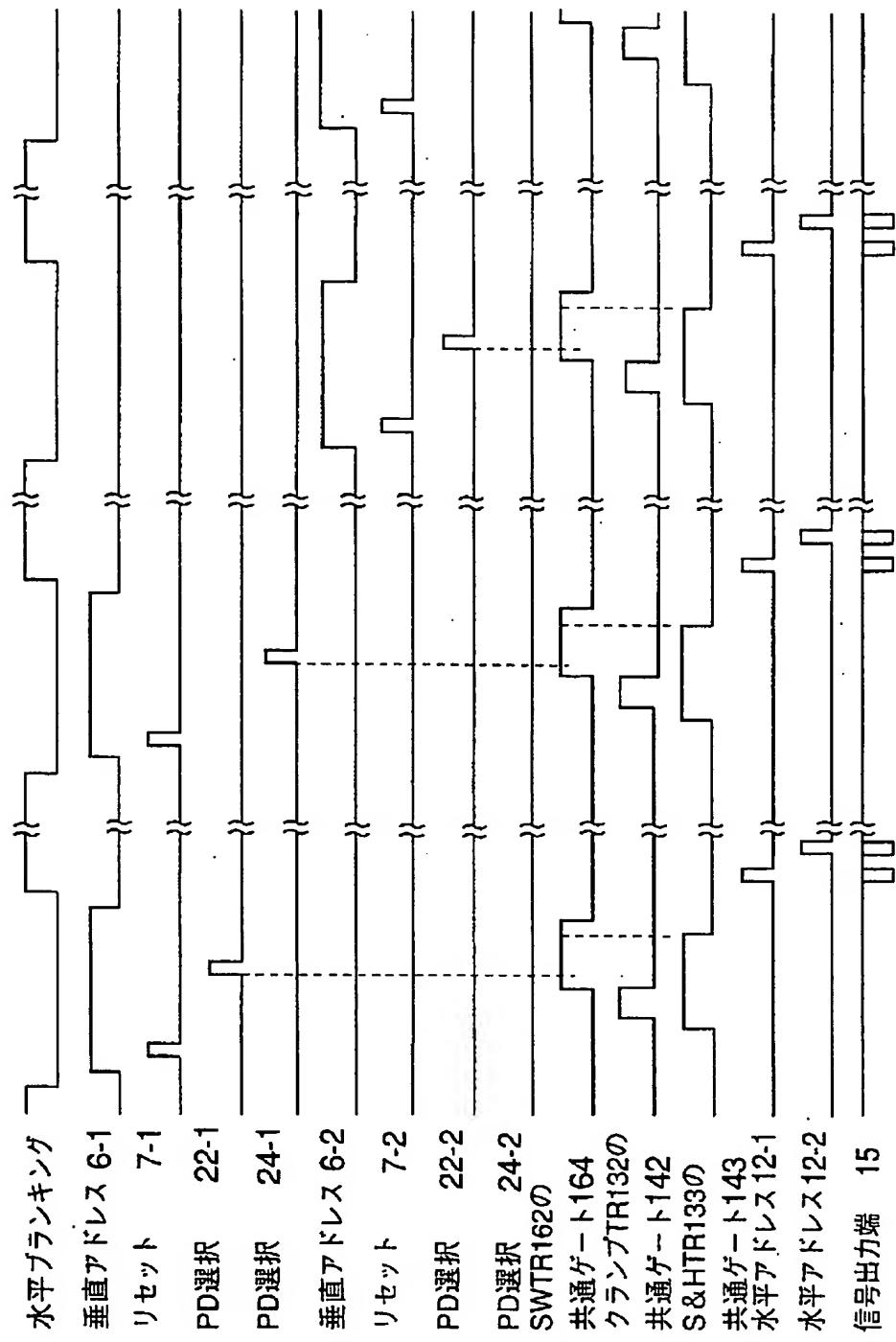
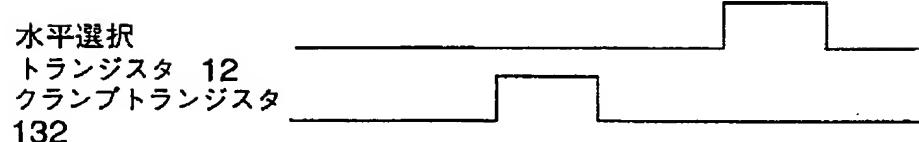
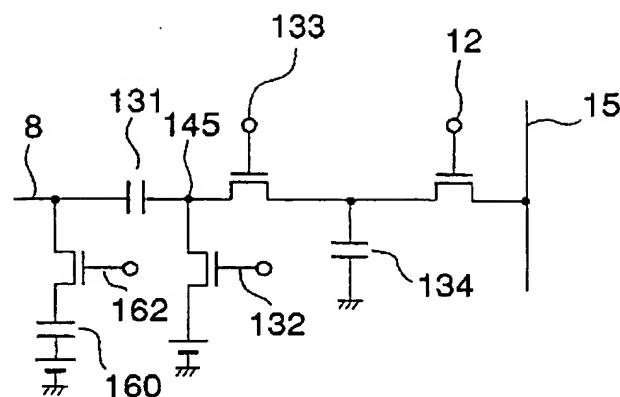
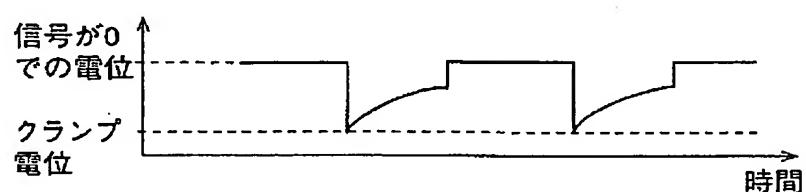


FIG. 28

24/29



8の電位



クランプノード電位

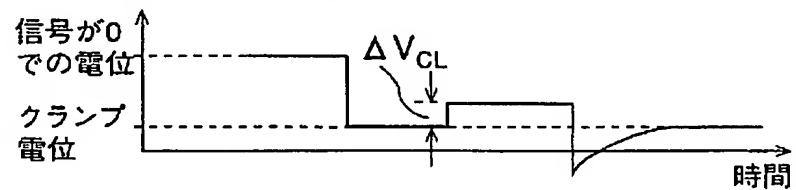


FIG. 29

25/29

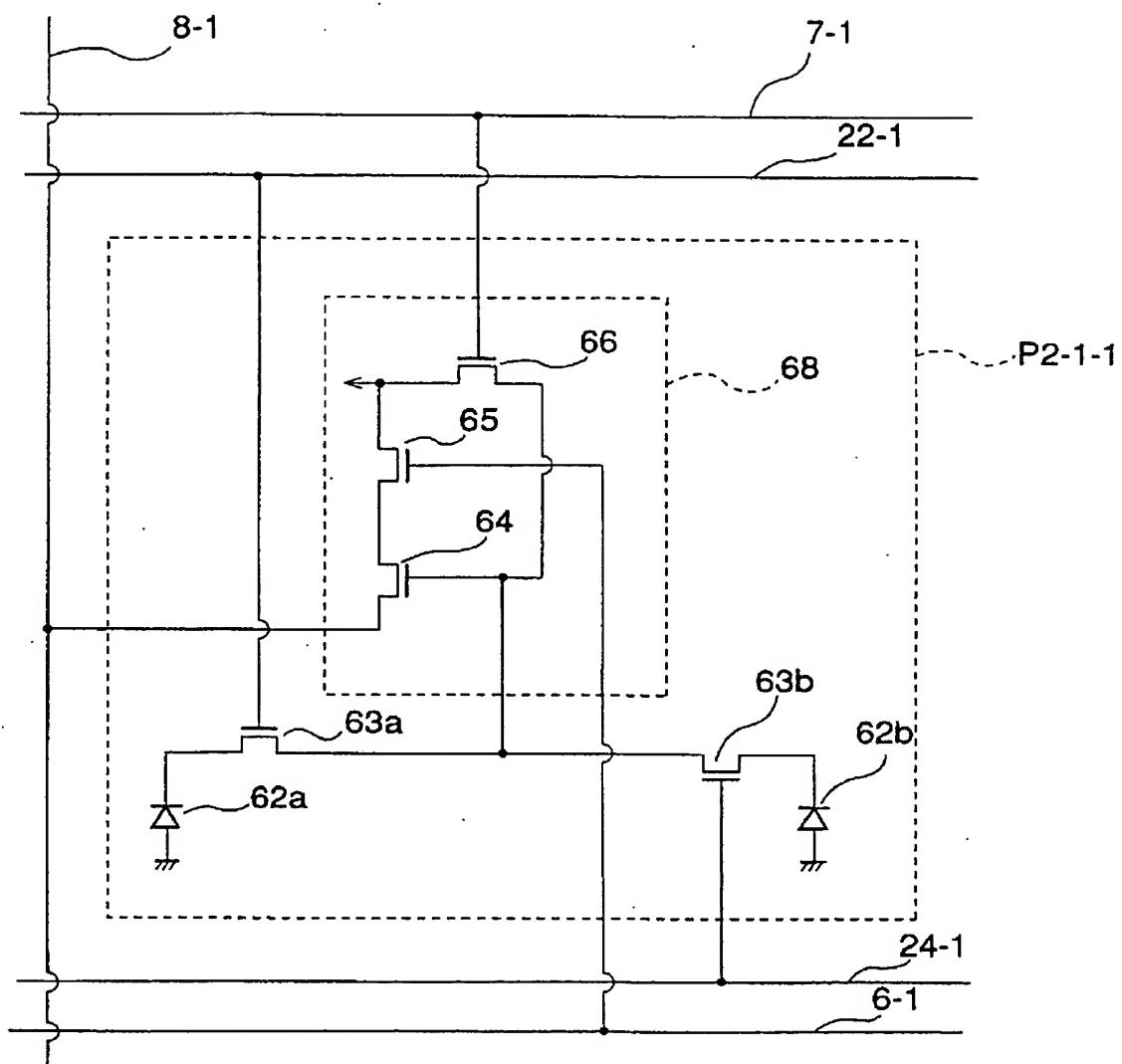


FIG. 30

26/29

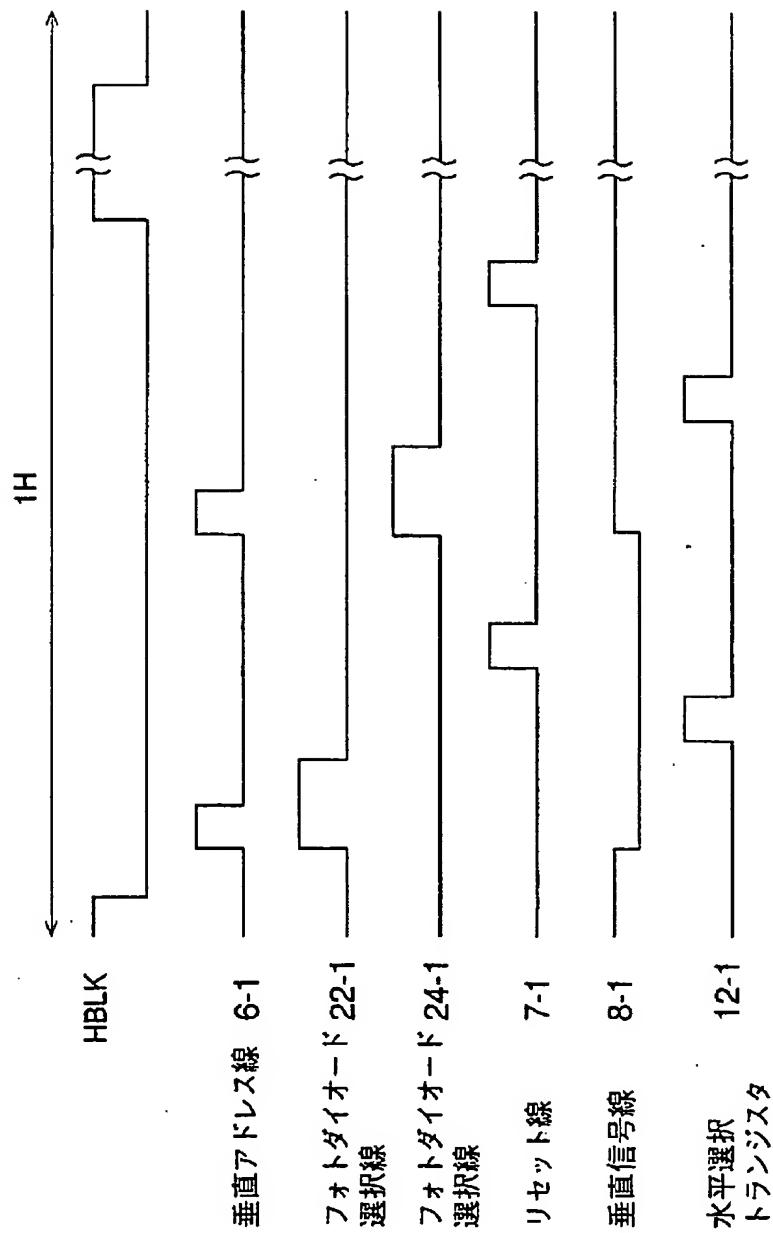


FIG. 31

27/29

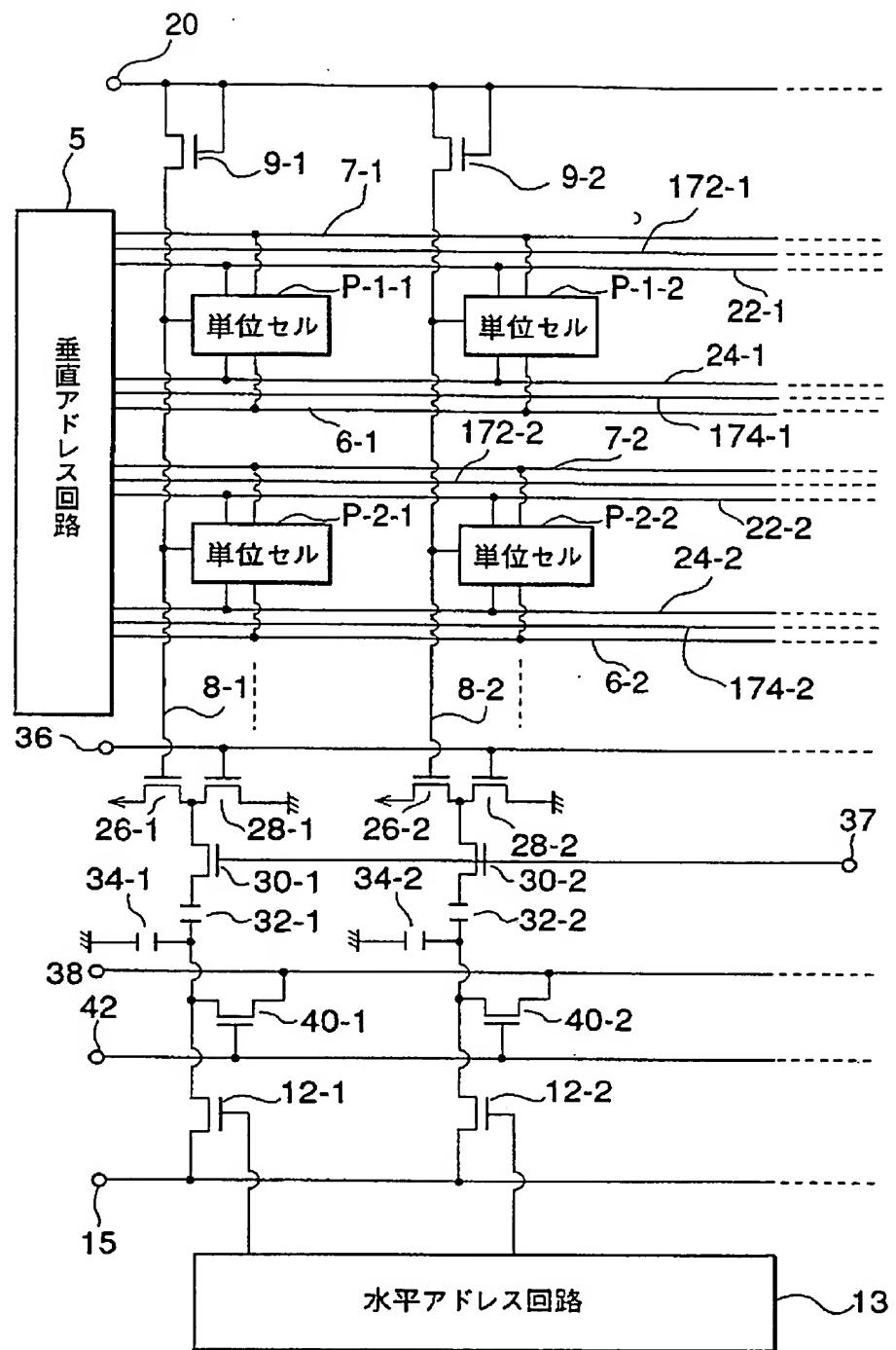


FIG. 32

28/29

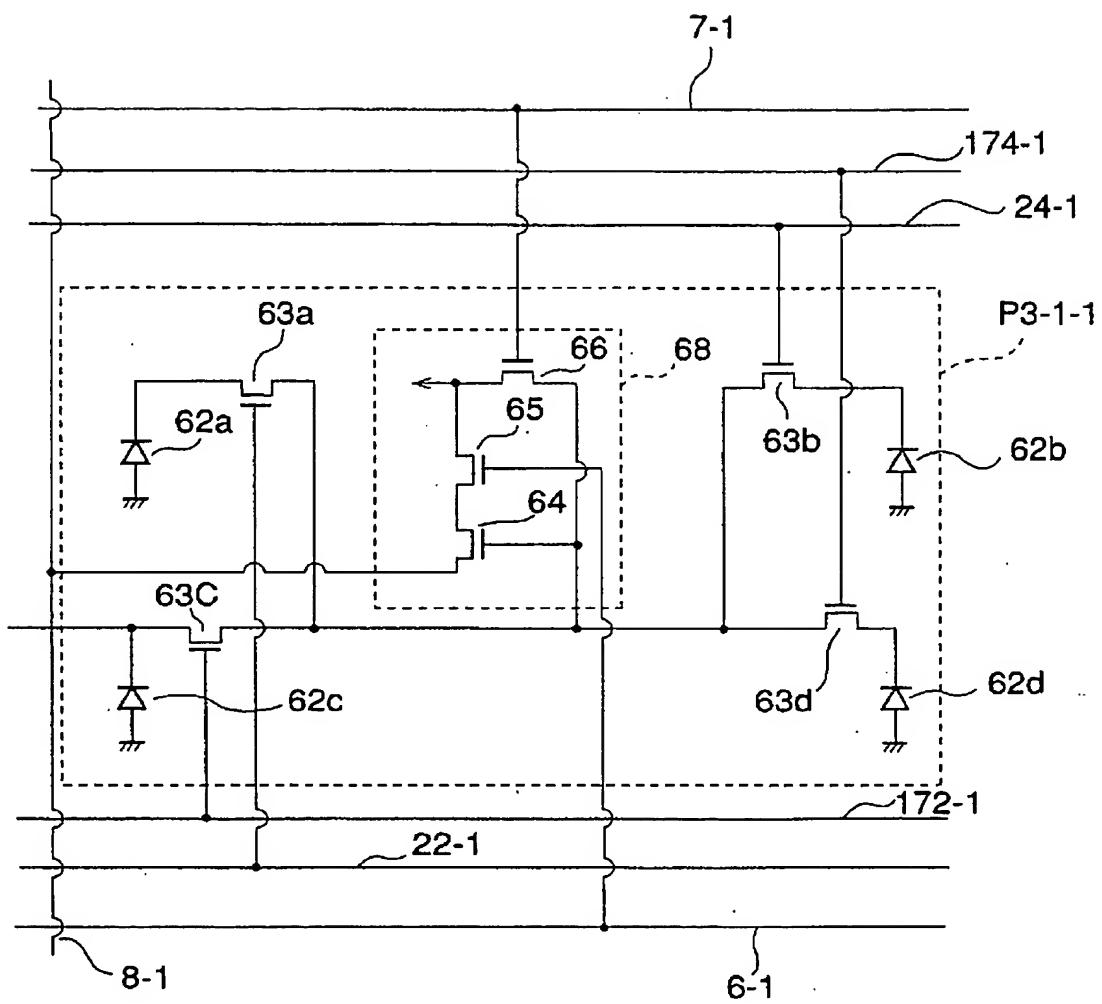


FIG. 33

29 / 29

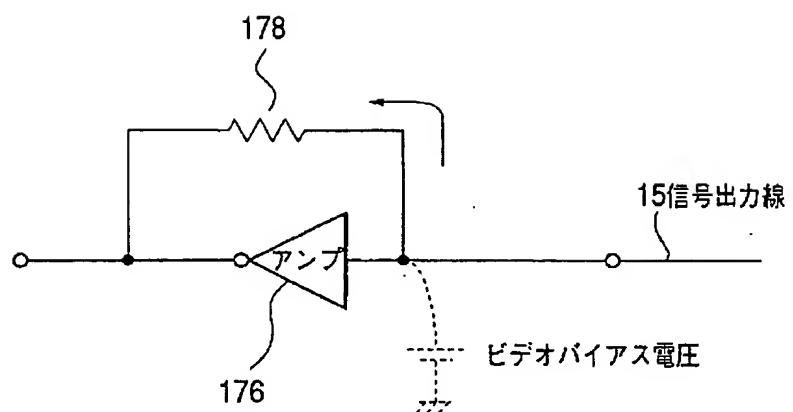


FIG.34

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02281

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H04N5/30-H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996
Kokai Jitsuyo Shinan Koho	1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 05-207376, A (Olympus Optical Co., Ltd.), August 13, 1993 (13. 08. 93) (Family: none)	1 - 13
A	Fig. 4	14 - 28

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
October 2, 1996 (02. 10. 96)

Date of mailing of the international search report

October 15, 1996 (15. 10. 96)

Name and mailing address of the ISA/
Japanese Patent Office
Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C10H04N5/335

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C10H04N5/30-H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP, 05-207376, A (オリンパス光学工業株式会社) 13. 8月. 1993 (13. 08. 93) (ファミリなし) 第4図 第4図	1-13 14-28

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」先行文献ではあるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に旨及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

02.10.96

国際調査報告の発送日

15.10.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

馬場 清

5C 9374

電話番号 03-3581-1101 内線3543